

Integrierte Halbleiterschaltungen

1970



# Integrierte Halbleiterschaltungen 1970

SIEMENS AKTIENGESELLSCHAFT



# Inhalt

## **Allgemeine Angaben für analoge und digitale Halbleiterschaltungen**

Hinweise zum Typenschlüssel für integrierte Halbleiterschaltungen . . . . .	6
Einbauhinweise für Plastik-Steckgehäuse, Flachgehäuse und Metallgehäuse . . . . .	7
Zusammenstellung der Kurzzeichen . . . . .	9
Vergleichsliste für Halbleiterschaltungen . . . . .	11
<b>Digitale integrierte Halbleiterschaltungen</b> . . . . .	<b>13</b>
Allgemeine Angaben: I. Logische Daten und Symbole . . . . .	14
II. Qualität . . . . .	17
<b>1. TTL-Serie (Transistor-Transistor-Logik)</b> . . . . .	<b>18</b>
Vorwort: I. Beschreibung der statischen Daten . . . . .	18
II. Beschreibung der dynamischen Daten . . . . .	23
III. Störsicherheit . . . . .	27
Allgemeine Angaben . . . . .	33
FLH 101, FLH 105, Vier NAND-Glieder mit je zwei Eingängen . . . . .	34
FLH 111, FLH 115, Drei NAND-Glieder mit je drei Eingängen . . . . .	36
FLH 121, FLH 125, Zwei NAND-Glieder mit je vier Eingängen . . . . .	38
FLH 131, FLH 135, NAND-Glied mit acht Eingängen . . . . .	40
FLH 141, FLH 145, Zwei NAND-Leistungsglieder mit je vier Eingängen . . . . .	42
FLH 151, FLH 155, Zwei invertierende UND/ODER-Glieder mit je 2×2 Eingängen und Erweiterungseingängen . . . . .	44
FLH 161, FLH 165, Zwei invertierende UND/ODER-Glieder mit je 2×2 Eingängen . . . . .	44
FLH 171, FLH 175, Invertierendes UND/ODER-Glied mit 4×2 Eingängen und Erweiterungseingängen . . . . .	46
FLH 181, FLH 185, Invertierendes UND/ODER-Glied mit 4×2 Eingängen . . . . .	46
FLH 191, FLH 195, Vier NOR-Glieder mit je zwei Eingängen . . . . .	48
FLH 201, FLH 205, Vier NAND-Glieder mit je zwei Eingängen und offenem Kollektor . . . . .	50
FLH 211, FLH 215, Sechsfacher Inverter . . . . .	52
FLH 221, FLH 225, 1-Bit-Volladdierer . . . . .	54
FLH 231, FLH 235, 2-Bit-Volladdierer . . . . .	56
FLH 241, FLH 245, 4-Bit-Volladdierer . . . . .	58
FLH 251, FLH 255, 2 NAND-Glieder und 4 Inverter . . . . .	60
FLH 271, FLH 275, Sechsfacher Inverter mit offenem Kollektor . . . . .	62
FLH 281, FLH 285, BCD-Dekoder . . . . .	64
FLH 291, FLH 295, Vier NAND-Glieder mit je zwei Eingängen und offenem Kollektor . . . . .	66
FLJ 101, FLJ 105, JK-Flipflop mit 2×3 Eingängen . . . . .	68
FLJ 111, FLJ 115, JK-Master-Slave-Flipflop mit 2×3 Eingängen . . . . .	70
FLJ 121, FLJ 125, Zwei JK-Master-Slave-Flipflops . . . . .	72

FLJ 131, FLJ 135, Zwei JK-Master-Slave-Flipflops . . . . .	74
FLJ 141, FLJ 145, Zwei D-Flipflops . . . . .	76
FLJ 151, FLJ 155, Vier D-Flipflops . . . . .	78
FLJ 161, FLJ 165, Zähldekade . . . . .	80
FLJ 171, FLJ 175, Teiler durch zwölf . . . . .	82
FLJ 181, FLJ 185, 4-Bit-Binärzähler . . . . .	84
FLJ 191, FLJ 195, 4-Bit-rechts/links Schieberegister . . . . .	86
FLL 101, FLL 105, BCD-Dekoder und Treiber für Ziffernanzeigeröhren . . . . .	88
FLY 101, FLY 105, Zwei Erweiterungsglieder mit je vier Eingängen . . . . .	90
Prüfschaltungen . . . . .	92
<b>2. ECL-Serie (Emitter coupled Logic) . . . . .</b>	<b>106</b>
Allgemeine Angaben . . . . .	106
FYH 104, NOR/OR-Glied mit acht Eingängen . . . . .	107
FYH 124, FYH 134, Zwei NOR/OR-Glieder mit je vier Eingängen . . . . .	107
<b>3. LSL- Serie (Langsame, Störsichere Logik) . . . . .</b>	<b>110</b>
Allgemeine Angaben . . . . .	110
FZH 101, FZH 105, Vier NAND-Glieder mit je zwei Eingängen . . . . .	112
FZH 111, FZH 115, Vier NAND-Glieder mit je zwei Eingängen und Basisanschluß Y . . . . .	114
FZH 121, FZH 125, Zwei NAND-Glieder mit je fünf Eingängen . . . . .	115
FZH 131, FZH 135, Zwei NAND-Glieder mit je fünf Eingängen und Basisanschluß Y . . . . .	115
FZH 141, FZH 145, Zwei NAND-Leistungsglieder mit je fünf Eingängen . . . . .	116
FZH 151, FZH 155, UND-ODER-Kombinationsglied . . . . .	118
FZH 161, FZH 165, LSL-TTL- Pegelumsetzer . . . . .	120
FZH 171, FZH 175, Zwei NAND-Glieder mit je 4 Eingängen und Erweiterungseingang . . . . .	112
FZH 181, FZH 185, TTL-LSL-Pegelumsetzer . . . . .	122
FZJ 101, FZJ 105, JK-Master-Slave Flipflop mit je zwei J- und K-Eingängen . . . . .	124
FZJ 111, FZJ 115, JK-Master-Slave Flipflop mit Y-Anschlüssen . . . . .	124
Bauformzeichnungen für TTL-, ECL- und LSL- Serie . . . . .	128
<b>4. MOS-Serie (Metall-Oxid-Silizium) . . . . .</b>	<b>129</b>
Allgemeine Angaben . . . . .	130
Hinweis zur sachgemäßen Behandlung . . . . .	130
Bauformen für MOS-Gehäuse . . . . .	132
<b>I. Logikschaltungen</b>	
GDH 106            Vier UND-Glieder mit je zwei Eingängen . . . . .	134
GDH 116            Zwei NOR-Glieder mit je drei Eingängen . . . . .	136
GDH 126            Vier NOR-Glieder mit je zwei Eingängen . . . . .	138
GDH 136            Zwei Exklusiv-ODER-Glieder mit je zwei Eingängen und Invertiern . . . . .	140
GDH 146, GDH 146 A, Zwei Volladdierer . . . . .	142

## II. Schieberegister und Speicher

GDJ 106	Zwei JK-Flipflops . . . . .	144
GDJ 116	4-Bit-binärer Vor-Rückzähler mit Rückstelleingang . . . . .	148
GDJ 126	Statisches 5-Bit-Schieberegister mit Parallelein- und -ausgabe . . . . .	152
GDJ 136	Statisches 8-Bit-Schieberegister mit Paralleleingabe und Serienaussgabe . . . . .	158
GDJ 146	Statisches 12-Bit-Schieberegister mit Serieneingabe und Parallelausgabe . . . . .	162
GDJ 156	Zwei statische 16-Bit-Serienschieberegister . . . . .	164
GDJ 166	Sechs statische Serienschieberegister mit insgesamt 32 Bit . . . . .	166
GDJ 176, GDJ 176 A,	Statisches 64-Bit-Serienschieberegister . . . . .	176
GDJ 186	Statisches 21-Bit-Serienschieberegister . . . . .	178
GDN 106, GDN 106 A,	Zwei dynamische 50-Bit-Serienschieberegister . . . . .	180
GDN 116, GDN 116 A,	Dynamischer 64-Bit-Akkumulator . . . . .	184
GDN 126, GDN 126 A,	Dynamisches 128-Bit-Serienschieberegister . . . . .	188
GDR 106	2048 Bit Festwertspeicher . . . . .	192
GEJ 102, GEJ 102 A,	Statischer 32-Bit-Zwischenspeicher . . . . .	196
GEJ 112	Zwei 16-Bit-Serienschieberegister . . . . .	200
SAJ 131, SAJ 135,	Statischer Frequenzteiler 1:1000 . . . . .	204
<b>Analoge integrierte Halbleiterschaltungen . . . . .</b>		<b>207</b>
Vorwort zu Operationsverstärkern . . . . .		208
TAA 111, TAA 121,	Dreistufige NF-Verstärker . . . . .	212
TAA 131, TAA 141,	Dreistufige NF-Verstärker . . . . .	216
TAA 151, TAA 151 S,	Dreistufige NF-Verstärker . . . . .	220
TAA 420,	Fünfstufiger NF-Verstärker . . . . .	222
TAA 435,	NF-Vor- und Treiberstufe . . . . .	224
TAA 521, TAA 521 A, TAA 522,	Operationsverstärker . . . . .	226
TAA 721, TAA 722,	Breitbandverstärker . . . . .	229
TAA 861, TAA 865,	Operationsverstärker . . . . .	232
TAA 981,	AM/FM-ZF-Verstärker . . . . .	238
TAA 991	AM/FM-ZF-Verstärker . . . . .	241
TBA 120, TBA 120 A,	FM ZF-Verstärker mit Demodulator . . . . .	244
TBA 221, TBA 222,	Operationsverstärker . . . . .	248

Bei Bestellung bitten wir die neben der Typenbezeichnung stehende Bestellnummer mit anzugeben (z.B. FLH 101 ; Q 67000–H1).

## Hinweise zum Typenschlüssel für integrierte Halbleiterschaltungen

Die Typenkennzeichnung integrierter Halbleiterschaltungen setzt sich folgendermaßen zusammen:

Analog	T		AA 15	1	S
Digital	FL	H	10	5	
	Serienbez.	Funktion	Nummer	Temperatur	Variante

Die Serienbezeichnung für digitale Halbleiterschaltungen wird variiert: FL, FZ, GD, ...

Für digitale Einzeltypen gilt die Serienbezeichnung SA, SB, ... und für Typen, die analoge und digitale Signale verarbeiten, die Bezeichnung UA, UB, ...

Der Funktionsbuchstabe bedeutet:

H	Logische Verknüpfung	Q	Speichermatrix
J	Folgesteuerte Logik (statisch)	R	Festwertspeicher
K	Monostabile Schaltung	S	Leseverstärker mit digitalem Ausgang
L	Pegelumsetzer	Y	Verschiedene Schaltungen außerhalb
N	Folgesteuerte Logik (dynamisch)		H bis S

Die Seriennummer ist fortlaufend von 10 ... 99.

Bei analogen Halbleiterschaltungen sind der 2. und 3. Buchstabe in der Typenbezeichnung ein Teil der Seriennummer. Die Buchstaben werden variiert: AA, BA, ...

Die Variante gibt an, daß dieser Schaltkreis elektrisch oder mechanisch vom Original abweicht (z. B. TAA 151;  $U_{\text{Batt}}=7\text{ V}$  und TAA 151 S;  $U_{\text{Batt}}=12\text{ V}$ ).

Die Temperaturkennzahl gibt den Betriebstemperaturbereich an. Sie lautet:

Kennzahl Temperaturbereich

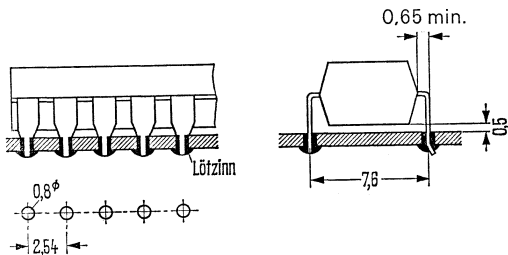
0	nicht festgelegt
1	0 bis 70 °C und größer
2	-55 bis 125 °C und größer
3	-10 bis 85 °C und größer
4	15 bis 55 °C und größer
5	-25 bis 70 °C und größer
6	-40 bis 85 °C und größer



# Einbauhinweise

## 1. Plastik-Steckgehäuse

Plastik-Steckgehäuse werden auf der dem Gehäuse abgewandten Plattenseite verlötet. Die Anschlußfahnen der Gehäuse sind um  $90^\circ$  nach unten abgebogen und passen in ein Lochraster von  $7,6 \times 2,54$  mm, Lochkreisdurchmesser  $0,7$  bis  $0,9$  mm. Der Gehäuseboden berührt nach dem Einsetzen nicht die Leiterplatte, weil kurz von dem Gehäuse die Anschlußfahnen breiter werden (siehe Bild). Nach dem Einsetzen des Gehäuses in die Leiterplatte ist es vorteilhaft, zwei Anschlußenden in einem Winkel von ca.  $30^\circ$  zur Leiterplatte abzubiegen, während des Lötvorganges braucht dann das Gehäuse nicht auf die Leiterplatte gepreßt werden. Bei Kolben- und Tauchlötung darf bei einer Kolben- bzw. Lötbadtemperatur von  $250^\circ\text{C}$  die max. Lötzeit  $7$  s, bei einer Badtemperatur von  $300^\circ\text{C}$   $5$  s betragen.



## 2. Flachgehäuse

- a) Lötung auf der dem Gehäuse abgewandten Seite.  
Die Anschlußdrähte werden um  $90^\circ$  nach unten gebogen und in die Bohrungen  $0,6$  bis  $0,8$  mm  $\varnothing$  der Leiterplatte eingesetzt. Das rechtwinklige Abkröpfen der Anschlußdrähte ist bis zu einem Abstand von  $0,8$  mm vom Gehäuse zulässig (Bild 1). Die Lötung der Anschlußdrähte kann durch Tauch- oder Kolbenlötung erfolgen. Bei einer Badtemperatur von  $250^\circ\text{C}$  darf die Lötzeit max.  $5$  s, bei  $300^\circ\text{C}$  max.  $2$  s betragen. Nach dem Einsetzen des Gehäuses in die Leiterplatte ist es vorteilhaft, zwei (oder auch alle) Anschlußenden in einem Winkel von ca.  $30^\circ$  zur Leiterplatte abzubiegen (Bild 1), das Gehäuse braucht dann nicht während des Lötvorganges an die Leiterplatte gepreßt werden. Das Kürzen zu langer Anschlußdrähte soll vor dem Löten erfolgen.
- b) Bei Lötung auf der Plattenseite (Bild 2) braucht die Leiterplatte nicht durchbohrt sein. Die Verbindung mit den Leiterbahnen kann durch Kolbenlötung oder Schweißung erfolgen. Die max. Lötzeiten, bei einem Lötabstand von  $\geq 1,5$  mm, betragen bei einer Kolbentemperatur von  $250^\circ\text{C}$   $t_{\text{max}} \leq 15$  s,  $300^\circ\text{C}$   $t_{\text{max}} \leq 12$  s, und  $350^\circ\text{C}$   $t_{\text{max}} \leq 7$  s

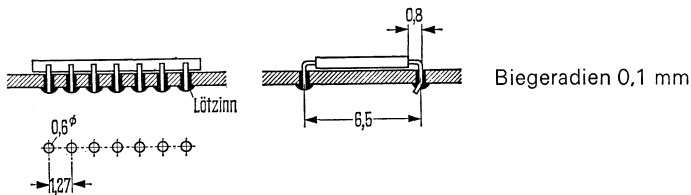


Bild 1

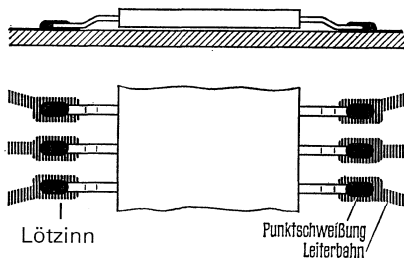


Bild 2

### 3. DIN-Gehäuse 5C8 und ähnliche Gehäuse mit 8, 10 und 12 ausgeführten Anschlußenden

Die Einbaulage des Gehäuses ist beliebig. Die Anschlußenden dürfen bis zu einem Abstand von 1,5 mm vom Gehäuseboden abgekröpft, und entsprechend dem Lochraster, 0,5 bis 0,6 mm  $\varnothing$ , um 90° nach unten abgebogen werden.

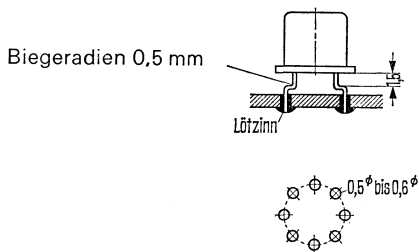
Zu lange Anschlußenden sollen vor dem Löten gekürzt werden.

Die Lötung kann durch Kolben- oder Tauchlötung erfolgen.

Die max. Lötzeiten betragen bei Tauchlötung mit 250 °C Badtemperatur  $t_{\max} \leq 5$  s  
 mit 300 °C Badtemperatur  $t_{\max} \leq 4$  s  
 und bei Kolbenlötung mit 250 °C Kolbentemperatur  $t_{\max} \leq 15$  s  
 mit 300 °C Kolbentemperatur  $t_{\max} \leq 12$  s  
 mit 350 °C Kolbentemperatur  $t_{\max} \leq 8$  s (gilt nicht für MOS-Bauteile)

Bei **MOS-Bauteilen** ist darauf zu achten, daß zwischen Lötband bzw. LötKolben und Platine keine Ströme fließen können. Es wird daher empfohlen, die zu lötfenden Anschlüsse und das Lötbad bzw. den LötKolben an Masse zu legen.

Beim Vorbereiten und Einsetzen in die Platine sollen die MOS-Schaltungen vor statischer Aufladung geschützt werden. Auf keinen Fall dürfen die MOS-Bauteile bei eingeschalteter Betriebsspannung aus der Schaltung entnommen werden bzw. in die Schaltung eingefügt werden.



## Alphabetische Zusammenstellung der verwendeten Symbole

$B$	Stromverstärkung
$B$	Bandbreite
$F$	Rauschmaß in dB
$F_a$	Ausgangsfächer
$F_{a0}$	Ausgangsfächer, log. 0 – Zustand
$F_{a1}$	Ausgangsfächer, log. 1 – Zustand
$F_e$	Eingangsfächer
$F_{erw}$	Eingangsfächer der Erweiterungseingänge
$f_G$	Grenzfrequenz
$f_o$	obere Grenzfrequenz
$f_u$	untere Grenzfrequenz
$f_Z$	maximale Zählfrequenz
$G$	Gleichtaktunterdrückung
$I_{a0}$	Ausgangsstrom, log. 0 – Zustand
$I_{a1}$	Ausgangsstrom, log. 1 – Zustand
$I_{ag}$	Ausgangsstrom bei gesperrtem Ausgangstransistor
$I_{aK}$	Kurzschlußausgangsstrom
$I_{al}$	Ausgangsstrom bei leitendem Ausgangstransistor
$I_{Batt 0}$	Stromaufnahme, log. 0 – Zustand
$I_{Batt 1}$	Stromaufnahme, log. 1 – Zustand
$I_{Batt g}$	Stromaufnahme bei gesperrtem Ausgangstransistor
$I_{Batt l}$	Stromaufnahme bei leitendem Ausgangstransistor
$I_e$	Eingangsstrom
$I_{e0}$	Eingangsstrom, log. 0 – Zustand
$I_{EOS}$	Eingangsnullstrom
$I_{e1}$	Eingangsstrom, log. 1 – Zustand
$I_E, I_F, I_{EF}$	Eingangsstrom in dem Erweiterungseingang
$I_{ges}$	Gesamtstromaufnahme
$I_L$	Laststrom
$k$	Klirrfaktor
$k_g$	Gesamtklirrfaktor
$P$	Leistungsverbrauch
$P_a$	Ausgangsleistung
$P_D$	Leerlaufleistungsverbrauch
$P_{tot}$	Gesamtverlustleistung
$R_A$	Kollektorarbeitswiderstand
$R_e$	Eingangswiderstand
$R_G$	Generatorwiderstand
$R_L$	Lastwiderstand
$R_P$	Abgleichwiderstand
$R_{thSG}$	Wärmewiderstand (System – Gehäuse)
$R_{thSU}$	Wärmewiderstand (System – Luft)
$t_f$	Abfallzeit
$T_G$	Gehäusetemperatur
$t_H$	Haltezeit
$T_j$	Sperrschichttemperatur
$t_n$	Zeitpunkt vor dem Taktimpuls
$t_{n+1}$	Zeitpunkt nach dem Taktimpuls
$t_p$	Paarlaufzeit
$t_{pd}$	mittlere Verzögerungszeit

$t_{pd0}$	Einschaltverzögerungszeit
$t_{pdOR,S}$	Einschaltverzögerungszeit (Stell-Rückstelleingang)
$t_{pd0T}$	Einschaltverzögerungszeit (Takteingang)
$t_{pd1}$	Ausschaltverzögerungszeit
$t_{pd1R,S}$	Ausschaltverzögerungszeit (Stell-Rückstelleingang)
$t_{pd1T}$	Ausschaltverzögerungszeit (Takteingang)
$t_{pdR,S}$	mittlere Verzögerungszeit (Stell-Rückstelleingang)
$t_{pdT}$	mittlere Verzögerungszeit (Takteingang)
$t_{pR}$	Rückstellimpulsdauer
$t_{pS}$	Stellimpulsdauer
$t_{pT}$	Taktimpulsdauer
$t_{pZ}$	Zählimpulsdauer
$t_r$	Anstiegszeit
$T_S$	Lagertemperatur
$T_U$	Betriebstemperatur
$t_V$	Vorbereitungszeit
$t_{V0}$	Vorbereitungszeit, log. 0-Zustand
$t_{V0l}$	Vorbereitungszeit, log. 0-Zustand, Schiebetak links
$t_{V0r}$	Vorbereitungszeit, log. 0-Zustand, Schiebetak rechts
$t_{V1}$	Vorbereitungszeit, log. 1-Zustand
$t_{V1l}$	Vorbereitungszeit, log. 1-Zustand, Schiebetak links
$t_{V1r}$	Vorbereitungszeit, log. 1-Zustand, Schiebetak rechts
$U_{a0}$	Ausgangsspannung, log. 0-Zustand
$\overline{U_{a0}}$	Komplement zur Ausgangsspannung $U_{a0}$
$U_{AOS}$	Ausgangsnullspannung
$U_{a1}$	Ausgangsspannung, log. 1-Zustand
$\overline{U_{a1}}$	Komplement zur Ausgangsspannung $U_{a1}$
$U_{aeff}$	maximale Ausgangsspannung
$U_{AG}$	Gleichtaktbereich bei kompensierter $U_{EOS}$
$U_{al}$	Ausgangsspannung bei leitendem Ausgangstransistor
$U_{ass}$	maximale Ausgangsspannung
$U_{Batt}$	Betriebsspannung
$U_{BE}$	Basis-Emitter-Spannung
$U_{DE}$	Differenz-Eingangsspannung
$U_E$	Eingangsspannung
$U_{e0}$	Eingangsspannung, log. 0-Zustand
$U_{EOS}$	Eingangsnullspannung
$U_{e1}$	Eingangsspannung, log. 1-Zustand
$U_{eG}$	Eingangsgleichtaktspannung
$U_F$	Funktionsbereich
$U_R$	Geräuschspannung
$U_{ss}$	statische Störsicherheit
$V_U$	Spannungsverstärkung
$V_{UG}$	Gleichstromspannungsverstärkung
$Z_a$	Ausgangs impedanz
$Z_e$	Eingangs impedanz
$\alpha_E$	Temperaturkoeffizient der $U_{EOS}$
$\alpha_I$	Temperaturkoeffizient der $I_{EOS}$

## Vergleichstabelle der digitalen Halbleiterschaltungen

SN 7400 N	FLH 101	SN 8400 N	FLH 105
SN 7401 N	FLH 201	SN 8401 N	FLH 205
SN 7402 N	FLH 191	SN 8402 N	FLH 195
SN 7403 N	FLH 291	SN 8403 N	FLH 295
SN 7404 N	FLH 211	SN 8404 N	FLH 215
SN 7405 N	FLH 271	SN 8405 N	FLH 275
SN 7410 N	FLH 111	SN 8410 N	FLH 115
SN 7420 N	FLH 121	SN 8420 N	FLH 125
SN 7430 N	FLH 131	SN 8430 N	FLH 135
SN 7440 N	FLH 141	SN 8440 N	FLH 145
SN 7441 AN	FLL 101	SN 8441 AN	FLL 105
SN 7442 N	FLH 281	SN 8442 N	FLH 285
SN 7450 N	FLH 151	SN 8450 N	FLH 155
SN 7451 N	FLH 161	SN 8451 N	FLH 165
SN 7453 N	FLH 171	SN 8453 N	FLH 175
SN 7454 N	FLH 181	SN 8454 N	FLH 185
SN 7460 N	FLY 101	SN 8460 N	FLY 105
SN 7470 N	FLJ 101	SN 8470 N	FLJ 105
SN 7472 N	FLJ 111	SN 8472 N	FLJ 115
SN 7473 N	FLJ 121	SN 8473 N	FLJ 125
SN 7474 N	FLJ 141	SN 8474 N	FLJ 145
SN 7475 N	FLJ 151	SN 8475 N	FLJ 155
SN 7476 N	FLJ 131	SN 8476 N	FLJ 135
SN 7480 N	FLH 221	SN 8480 N	FLH 225
SN 7482 N	FLH 231	SN 8482 N	FLH 235
SN 7483 N	FLH 241	SN 8483 N	FLH 245
SN 7490 N	FLJ 161	SN 8490 N	FLJ 165
SN 7491 AN	FLJ 221	SN 8491 AN	FLJ 225
SN 7492 N	FLJ 171	SN 8492 N	FLJ 175
SN 7493 N	FLJ 181	SN 8493 N	FLJ 185
SN 7494 N	FLJ 231	SN 8494 N	FLJ 235
SN 7495 N	FLJ 191	SN 8495 N	FLJ 195
SN 74190 N	FLJ 201	SN 84190 N	FLJ 205
SN 74191 N	FLJ 211	SN 84191 N	FLJ 215
SN 74192 N	FLJ 241	SN 84192 N	FLJ 245
SN 74193 N	FLJ 251	SN 84193 N	FLJ 255
SN 4929 N	FLH 251	SN 49829 N	FLH 255
SN 4930 N	FLH 321	SN 49830 N	FLH 325
SN 4931 N	FLH 331	SN 49831 N	FLH 335

### Vergleichstabelle der MOS-Halbleiterschaltungen

MEM 1000	GDH 146
MEM 1002	GDH 116
MEM 1008	GDH 136
MEM 1013	GDH 126
MEM 1014	GDH 106
MEM 1015	GDJ 106
MEM 1055	GDJ 116
MEM 2048	GDR 106
MEM 3005 PP	GDJ 126
MEM 3008 PS	GDJ 136
MEM 3012 SP	GDJ 146
MEM 3016-2	GDJ 156
MEM 3021	GDJ 186
MEM 3032	GDJ 166
MEM 3064 S	GDJ 176
MEM 3064 B	GDN 116
MEM 3100 A	GDN 106
MEM 3128	GDN 126
RA-6-4803	GEJ 102
SS-6-8212	GEJ 112

### Vergleichstabelle der analogen Halbleiterschaltungen

OM 200 Valvo	TAA 131
SN 5510 L Texas Instr.	TAA 722
SN 7510 L Texas Instr.	TAA 721
TAA 263 Valvo	TAA 141
TAA 293 Valvo	TAA 151
$\mu$ A 709 Fairchild	TAA 522
$\mu$ A 709 C Fairchild	TAA 521
$\mu$ A 741 Fairchild	TBA 222
$\mu$ A 741 C Fairchild	TBA 221
TAA 380 Phillips	(TBA 120)
TAA 450 Phillips	(TBA 120)
TAA 570 Phillips	(TBA 120)
TAA 640 Phillips	(TBA 120)
TAA 661 SGS	(TBA 120)
TAA 710 ITT	(TBA 120)

---

## Digitale integrierte Halbleiterschaltungen

---

# Allgemeine Angaben zu integrierten Halbleiterschaltungen

## I. Logische Daten und Symbole

### I.1 Logikpegel

Für die Familien FL, FZ und FY 100 wird die positive Logik verwendet, d. h. daß log.1 der positiven der beiden vorhandenen Spannungen entsprechen soll und log.0 der negativeren Spannung. Die negative Logik wird für die MOS-Halbleiterschaltungen (Serie GD und GE 100) verwendet.

Definition:

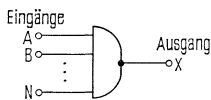
positive Logik  $\left\{ \begin{array}{l} \text{log.1} \triangleq \text{positiver Spannungspegel} \\ \text{log.0} \triangleq \text{Null-Spannungspegel (Masse)} \end{array} \right.$

negative Logik  $\left\{ \begin{array}{l} \text{log.1} \triangleq \text{negativer Spannungspegel} \\ \text{log.0} \triangleq \text{Null-Spannungspegel (Masse)} \end{array} \right.$

Bei der positiven Logik ist der log.1-Pegel im allgemeinen definiert als ein Minimalwert, der geliefert werden muß, um den log.1-Zustand sicherzustellen und der log.0-Pegel ein Maximalwert, bei dem der log.0-Zustand noch gewährleistet ist.

### I.2 Schaltgliedersymbole

#### I.2.1 NAND-Schaltglied



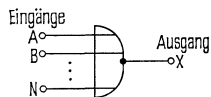
Funktionstabelle für ein NAND-Glied mit zwei Eingängen (z. B. eines der vier NAND-Glieder aus FLH 101)

Eingänge		Ausgang
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

Logische Funktion:  $X = \overline{A \wedge B \wedge \dots \wedge N}$

Definition: Das Ausgangssignal ist nur dann log.0, wenn A und B und . . . und N log.1 sind.

#### I.2.2 NOR-Schaltglied



Funktionstabelle für ein NOR-Glied mit zwei Eingängen (z. B. eines der vier NOR-Glieder aus FLH 191)

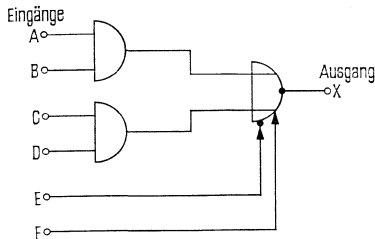
Eingänge		Ausgang
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

Logische Funktion:  $X = \overline{A \vee B \vee \dots \vee N}$

Definition: Das Ausgangssignal ist nur dann log.1, wenn A und B und . . . und N log.0 sind.



### 1.2.3 Invertierendes UND/ODER-Schaltglied



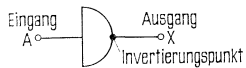
E und F sind Erweiterungseingänge. Mit einem Erweiterungsglied, das an E und F angeschlossen wird, können zusätzlich UND/ODER-Funktionen verwirklicht werden.

Logische Funktion:  $X = (A \wedge B) \vee (C \wedge D) \vee \text{Erweiterung}$

Funktionstabelle für ein invertierendes UND/ODER-Glied mit je  $2 \times 2$  Eingängen (z. B. eines der zwei UND-ODER-Glieder aus FLH 151)

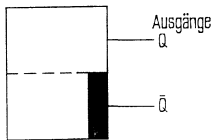
Eingänge				Ausgang
A	B	C	D	X
0	0	0	0	1
1	0	0	0	1
0	1	0	0	1
1	1	0	0	0
0	0	1	0	1
1	0	1	0	1
0	1	1	0	1
1	1	1	0	0
0	0	0	1	1
1	0	0	1	1
0	1	0	1	1
1	1	0	1	0
0	0	1	1	0
1	0	1	1	0
0	1	1	1	0
1	1	1	1	0

### 1.2.4 Inverter

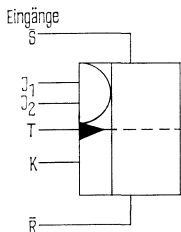


Logische Funktion:  $X = \overline{A}$

### 1.3 Symbole für Flipflops



Bistabile Schaltung (Flipflop) mit definiertem Ausgangszustand (komplementäre Ausgänge)



$J_1$ ,  $J_2$  und  $K$  sind Informationseingänge  
 $J_1$  und  $J_2$  sind UND-verknüpft  
 $J$ - und  $K$ -Eingänge werden vom  $T$ -Eingang (Takt) gesteuert  
 $\bar{S}$  und  $\bar{R}$  sind direkt wirkende Eingänge (Setzen, Rücksetzen)

### Kennzeichnung der dynamischen Eingänge

- Wirkung am Ausgang bei Übergang des Eingangssignals von log. 1 auf log. 0
- Wirkung am Ausgang bei Übergang des Eingangssignals von log. 0 auf log. 1
- Wirkung des Eingangssignals während log. 1
- Wirkung des Eingangssignals während log. 0

## I.4 Einteilung der Flipflops nach ihrer logischen Funktion

### I.4.1 D-Flipflop (Delay-flipflop)

Das D-Flipflop hat einen mit D bezeichneten Eingang, dessen Zustand in die Klippstufe übernommen wird. Es wird durch einen Taktimpuls gesteuert und speichert die während eines Taktimpulses aufgenommene Information bis zum nächsten Taktimpuls, wo es sich erneut nach seinem Eingang einstellt.

### I.4.2 JK-Flipflop

Das JK-Flipflop hat mit J und K bezeichnete Vorbereitungseingänge, die mit Hilfe des Taktes die Ausgangslage Q bestimmen.

Bei J=0 und K=0 bleibt Ausgang Q in seiner ursprünglichen Lage. Ist die Eingangssituation J=1 und K=1, schaltet das Flipflop jeweils in den anderen logischen Zustand. (Funktion des binären Teilers.) Bei J=0 und K=1 schaltet Q definiert auf 0, umgekehrt schaltet bei J=1 und K=0 Ausgang Q auf 1.

Die im FL-100-Programm enthaltenen JK-Master-Slave-Flipflops haben noch zusätzliche  $\bar{R}$ - und  $\bar{S}$ -Eingänge, mit denen die Flipflops taktunabhängig betrieben werden können. Damit wurde die Möglichkeit einer Voreinstellbarkeit der Ausgänge geschaffen.  $\bar{R}$  und  $\bar{S}$  deuten an, daß die Flipflops mit 0-Potential gesetzt oder rückgesetzt werden.

In nachfolgender Tabelle ist die Funktion der verschiedenen Flipflop-Typen nochmals zusammengefaßt:

### I.4.3 Funktionstabelle für Flipflops

Eingänge		Ausgang Q	
D oder J	K	D-Flipflop	JK-Flipflop
0	0	0	$Q_n$
0	1		0
1	0	1	1
1	1		$\bar{Q}_n$
$t_n$		$t_{n+1}$	

### Funktionstabelle für die $\bar{R}$ - und $\bar{S}$ -Eingänge des JK-Master-Slave-Flipflops

$\bar{R}$	$\bar{S}$	Q	$\bar{Q}$
0	1	1	0
1	0	0	1
0	0	undefiniert	
1	1	$Q_n$	$\bar{Q}_n$

$t_n$  = Zeitpunkt vor dem Taktimpuls

$t_{n+1}$  = Zeitpunkt nach dem Taktimpuls

## II. Allgemeine Angaben zur Qualität digitaler Halbleiterschaltungen

1 Um die Qualität bei Halbleiterschaltungen unserer TTL-, LSL-, ECL-Serien zu kennzeichnen wird folgendes angegeben:

- 1.1 Grenzwerte sowie obere und untere Streuwerte der Kenngrößen.
- 1.2 Maximale Anteile fehlerhafter Bauelemente, sogenannte AQL-Werte (annehmbare Qualitätslage), für die unter 1.1 genannten Werte. Bei der Beurteilung der Lieferqualität sind die Gesetze der Statistik zu berücksichtigen (siehe auch Punkt 4 dieses Abschnittes).

### 2 Fehler

Ein Fehler liegt vor, wenn ein Bauelementemerkmal nicht den Datenblattangaben entspricht. Die Fehler werden entweder nach Art oder nach Ausmaß eingeteilt:

- 2.1 Einteilung nach Art der Fehler
  - A. Fehler an Gehäusen und Zuleitungen.
  - B. Fehler in elektrischen Eigenschaften.
- 2.2 A. Totalfehler: Fehler, die jede funktionsmäßige Verwendung ausschließen.  
 B. Graduelle Fehler: Fehler, die eine funktionsgemäße Verwendung noch bedingt zulassen.

3 Die für die verschiedenen Fehler gültigen AQL-Werte sind in der unten angegebenen Tabelle aufgeführt.

Fehler bezüglich oberer oder unterer Streuwerte zählen getrennt.

Fehler	AQL-Wert	Bemerkungen
3.1 Fehler an Gehäusen und Zuleitungen		
A. Totalfehler	0,25%	} Summe aller fehlerhaften Schaltungen
B. Graduelle Fehler	2,5 %	
3.2 Elektrische Fehler		
A. Totalfehler	0,25%	} Einzel-AQL = 0,65%
B. Graduelle Fehler		
Gleichstrom-Daten bei 25 °C	1,5 %	
Gleichstrom-Daten an der oberen und unteren Temperaturgrenze	2,5 %	} für jede Schaltzeitgrenze
Schaltverhalten	2,5 %	

### 4 Eingangskontrolle

Die vom Hersteller durchgeführten Kontrollen sollen eine Eingangskontrolle beim Anwender unnötig machen. Will der Anwender dennoch eine Eingangskontrolle vornehmen, so wird die Verwendung eines Stichprobenplanes nach ABC STD 105D empfohlen.

## Vorwort zur TTL-Serie FL 100

### I. Beschreibung der statischen Daten

#### I.1 Grenzwerten

Die in den Datenblättern angegebenen Grenzwerten sind absolute Grenzwerte, die eingehalten werden müssen. Wird einer dieser Grenzwerte überschritten, so kann dies zur Zerstörung der integrierten Halbleiterschaltung führen.

Grenzwerten gelten, wenn nicht anders angegeben, bei 25 °C.

#### I.2 Kennwerten

Unter den typischen Kennwerten werden Mittelwerte angegeben, die sich aus der statistischen Auswertung eines längeren Fertigungsabschnittes ergeben. Diese Mittelwerte gelten bei  $T_U=25\text{ °C}$  und empfohlener Batteriespannung  $U_{\text{Batt}}$ . Sie sind meistens durch Angabe eines garantierten Streubereichs ergänzt. Der Streubereich wird unter den ungünstigsten Betriebsbedingungen (worst-case) angegeben.

Es ist weiter zu beachten, daß die logischen Pegel  $U_e$  und  $U_a$  jeweils auf den Eingang bzw. Ausgang bezogen sind.

#### I.3 Charakteristische Kennlinien

Sie geben Aufschluß über das typische Betriebsverhalten eines Schaltgliedes.

Nachfolgend sind die wichtigsten charakteristischen Kennlinien für typische TTL-Schaltglieder der Serie FL 100 aufgeführt.

##### I.3.1 Übertragungskennlinie

Die Übertragungskennlinie eines Schaltgliedes gibt den Zusammenhang zwischen Eingangs- und Ausgangsspannung an.

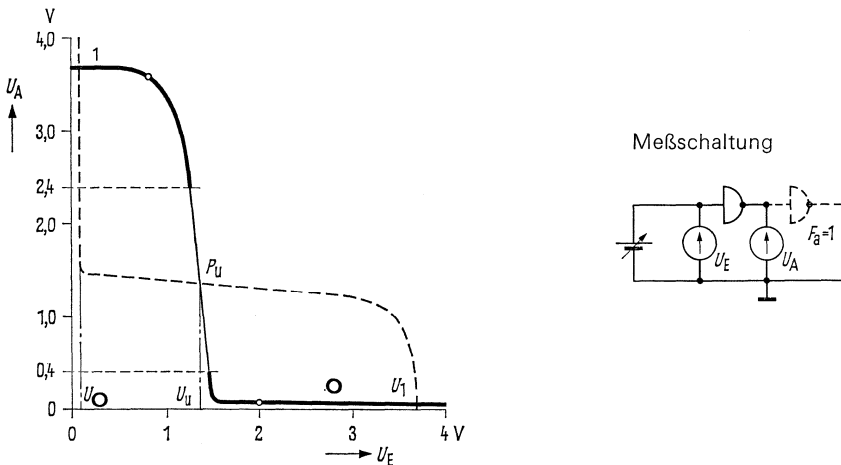


Bild 1 Übertragungskennlinie eines NAND-Gliedes  $U_a=f(U_e)$  bei  $U_{\text{Batt}}=5\text{ V}$

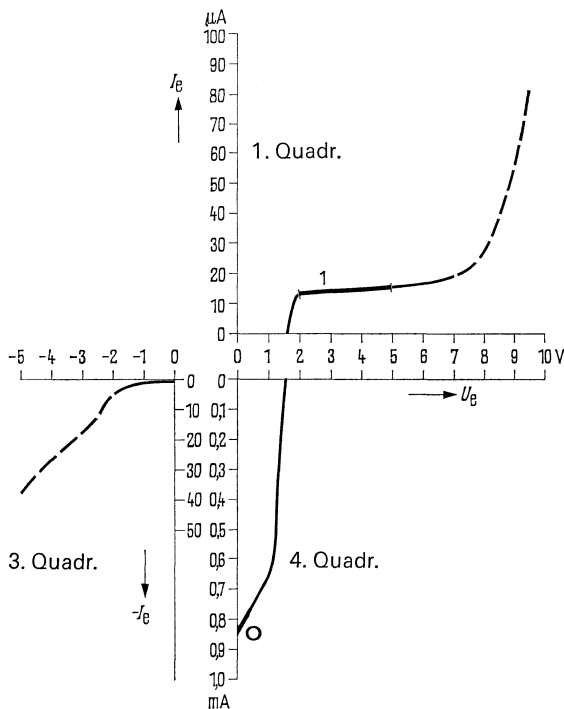
Die Übertragungskennlinie hängt von der Belastung ab, die bei TTL maximal 10 pro Ausgang sein darf. Alle negierenden Schaltglieder (NAND- und NOR-Glieder) zeigen einen qualitativ ähnlichen Verlauf. Die nicht gemessenen Eingänge müssen bei NAND-Schaltgliedern auf 1-Potential oder offen sein und bei NOR-Schaltgliedern auf 0-Potential liegen.

Ideal ist eine möglichst rechteckige Form der Übertragungskennlinie, da dann ein genauer Umschaltswellwert der Eingangsspannung gegeben ist. Der Umschaltspunkt  $P_U$  ( $U_U$ ), bei dem die Eingangsspannung  $U_e$  gleich der Ausgangsspannung  $U_a$  ist, ergibt sich graphisch im Schnittpunkt der Übertragungskennlinie mit der Winkelhalbierenden  $U_e = U_a$ .

Aus der Übertragungskennlinie lassen sich auch die Werte der typischen Logikpegel und des statischen Störabstandes entnehmen.

### 1.3.2 Eingangskennlinie

Sie gibt den Zusammenhang zwischen Eingangsstrom und Eingangsspannung an.



Meßschaltung

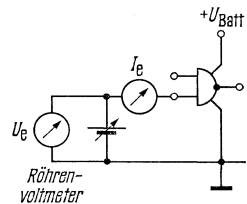


Bild 2 Eingangskennlinie eines Schaltglieder-Einganges  $I_e = f(U_e)$  bei  $U_{Batt} = 5V$

# FL 100

Bild 2 zeigt die typische Eingangskennlinie eines Schaltgliedereinganges bei Raumtemperatur. Entsprechend den 3 Quadranten, in dem die Kennlinie verläuft, sind 3 Bereiche zu unterscheiden. Der Bereich log.1 liegt im 1. Quadranten und kennzeichnet den Sperrzustand des Eingangstransistors. Der Durchbruch der Basis-Emitter-Strecke erfolgt bei einer typischen Spannung von 8 bis 9 V. Daher ist die maximal zulässige Eingangsspannung auf  $U_E = +5,5 \text{ V}$  begrenzt. Dies gilt sowohl absolut als auch zwischen 2 Eingangsemittern desselben Schaltgliedes.

Der Eingangstrom fließt in den Eingang hinein (Sperrstrom).

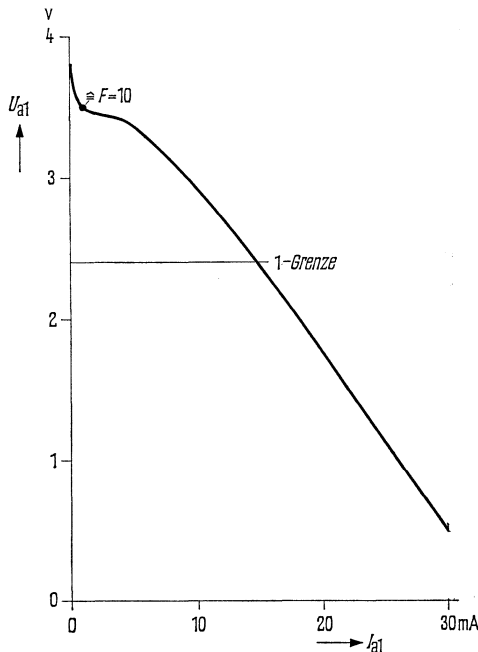
Bei einem Schwellwert von  $U_e \approx 1,5 \text{ V}$  wird der Eingangstransistor leitend, und der Eingangstrom fließt jetzt aus dem Schaltglied heraus. Dies entspricht dem Durchlaßbereich des Transistors (4. Quadrant). Bei negativen Eingangsspannungen wird die Substratdiode leitend, und der Eingangstrom nimmt stark zu (3. Quadrant). Damit die zulässige Gesamtverlustleistung des Schaltgliedes (ca. 0,5 W pro Gehäuse) nicht überschritten wird, sind Eingangsgleichspannungen  $-U_e > 0,5 \text{ V}$  und Eingangsströme  $-I_e > 25 \text{ mA}$  nicht zulässig.

Die Eingangskennlinie ist von der Ausgangsbelastung unabhängig, da Schaltglieder rückwirkungs-frei sind.

### 1.3.3 Ausgangskennlinie

Da der Ausgangszustand eines Schaltgliedes vom Eingang festgelegt wird, gibt es zwei Ausgangskennlinien. Bild 3 zeigt die Kennlinie für den log. 1 und Bild 4 für den log. 0-Zustand.

Beide Kennlinien sind abhängig von der Ausgangsbelastung  $F_a$ .



Meßschaltung

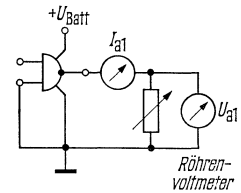
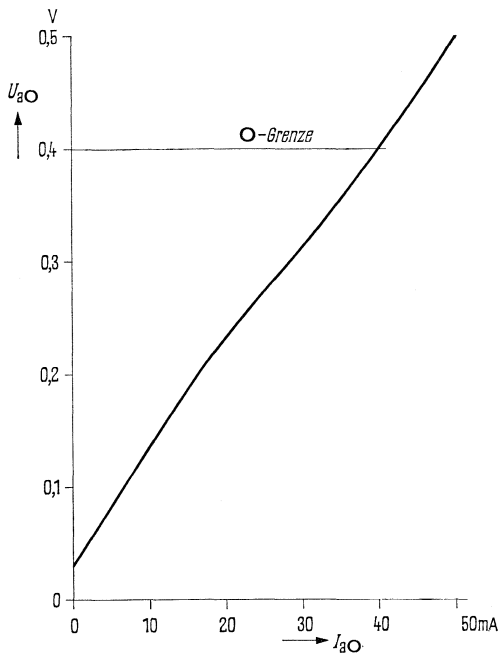


Bild 3 Ausgangskennlinien des log. 1-Zustandes eines Schaltgliedes  $U_{a1} = f(I_{a1})$  bei  $U_{Batt} = 5 \text{ V}$

Bei Belastung eines Ausgangs mit systemeigenen TTL- Eingängen fließt nur der verhältnismäßig geringe Eingangsstrom dieser Schaltglieder. Er beträgt bei einer Ausgangsbelastung von  $F_a=10$  maximal  $400 \mu\text{A}$ . Das Ausgangspotential verringert sich dabei nur um  $0,1 \text{ V}$ .

Der Ausgangsstrom  $I_a$  fließt hier aus dem Schaltglied heraus.

Soll der TTL-Ausgang eine systemfremde Last wie z. B. einen npn -Treibertransistor ansteuern, so muß der Basisstrom entsprechend der Kurve Bild 3 dimensioniert werden. Ist eine höhere Stromentnahme erforderlich, so ist das Leistungsschaltglied FLH 141 zu verwenden.



Meßschaltung

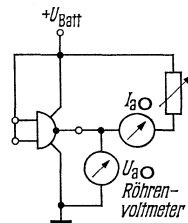


Bild 4 Ausgangskennlinie des log. 0-Zustandes eines Schaltgliedes.  $U_{a0}=f(I_{a0})$  bei  $U_{\text{Batt}}=5 \text{ V}$

Hier fließt der Strom in das Schaltglied hinein, so daß  $I_{a0}$  negativ wird.

Bei einem Strom von  $16 \text{ mA}$  beträgt die garantierte Ausgangsspannung  $U_{a0} \leq 0,4 \text{ V}$  (0-Grenze).

Aus der Eingangskennlinie, Bild 2, ist zu entnehmen, daß aus einem auf 0 liegenden Eingang ca.  $1 \text{ mA}$  (typisch) Strom herausfließt. Dies ergibt bei  $F_a=10$  ein  $U_{a0}=0,2 \text{ V}$  typisch.

Ein TTL-Ausgang kann im Zustand log. 0 betragsmäßig mehr Strom aufnehmen als er im Zustand log. 1 liefert. Daher ist es bei größeren Strömen vorteilhafter einen npn -Transistor zu verwenden, da dann der Basisstrom maximal  $16 \text{ mA}$  pro Ausgang betragen darf. Beim Leistungsgatter darf dann entsprechend der Basisstrom pro Ausgang maximal  $48 \text{ mA}$  betragen.

## I.4 Logische Daten

### I.4.1 Eingangsfächer $F_e$

Der Eingangsfächer gibt an, wie viele verschiedene Informationseingänge ein logisches Element hat, d. h. am Beispiel eines Schaltgliedes, wie viele verschiedene logische Signale miteinander verknüpft werden können.

Der Eingangsfächer steht auch oft für die Eingangsbelastung eines Einganges. Dann bedeutet z. B.  $F_e=2$  einen Eingangsstrom pro TTL- Eingang bei log.0 von  $I_{a0}=2 \cdot (-1,6 \text{ mA})=-3,2 \text{ mA}$  und bei log.1 von  $I_{e1}=2 \cdot 40 \mu\text{A}=80 \mu\text{A}$ .

Eingangsbelastungen von  $F_e=2$  und 3 kommen hauptsächlich bei Flipflops ( $\bar{R}$ -,  $\bar{S}$ - und T-Eingänge) und höher integrierten Bausteinen vor. Sie sind bei der Schaltungsauslegung besonders zu beachten.

### I.4.2 Ausgangsfächer $F_a$

Der Ausgangsfächer gibt die Zahl der Eingänge an, die innerhalb einer Familie ein Ausgang speisen kann. Er gilt immer pro Ausgang, wenn mehrere Ausgänge vorhanden sind.



## II. Beschreibung der dynamischen Daten

### II.1 Schalt- und Verzögerungszeiten der Schaltglieder und Flipflop-Bausteine

Die Schalt- und Verzögerungszeiten der einzelnen Digitalbausteine bestimmen die maximale Arbeitsgeschwindigkeit einer Anlage. Kapazitive Belastung der Ausgänge oder große Leitungslängen erhöhen die Schaltzeiten und verringern somit auch die Geschwindigkeit.

Für die dynamische Störsicherheit ist die Flankensteilheit des Ausgangssignals entscheidend. Sie nimmt mit flacher werdender Flanke zu.

Die Messung der Verzögerungszeiten ist auf den Umschaltunkt 1,5 V bezogen. Der Umschaltunkt liegt im steilen Teil der Übertragungskennlinie (Bild 1) zwischen dem log. 1 und log. 0–Zustand. Die Anstiegszeit  $t_r$  bzw. Abfallzeit  $t_f$  der Impulsflanke wird zwischen dem 90%- und 10%-Punkten ermittelt (siehe hierzu auch Diagramme und Prüfschaltungen 22, 23, 29, 30 und 30 a).

Ein- und Ausschaltzeit sind in erster Linie durch die verwendete Technologie bedingt. Sie sind bei den Schaltgliedern der Serie FL 100 fast gleich. Dies ist besonders günstig für die dynamische Störsicherheit.

Die mittlere Verzögerungszeit  $t_{pd}$  ist definiert durch

$$t_{pd} = \frac{t_{pd0} + t_{pd1}}{2}$$

Bei typischen Schaltgliedern der Serie FL 100 beträgt  $t_{pd}$  15 ns. Sie gibt an, welche Durchlaufzeit bei einem Schaltglied im Mittel angesetzt werden kann.

### II.2 Anstiegszeit und Einschaltverzögerungszeit

Bild 5 zeigt die ansteigende Flanke eines typischen Schaltgliedes. Der Kurve ist bei  $F=1$  eine typische Anstiegszeit von 10 ns und eine typische Verzögerungszeit von 9 ns zu entnehmen. Bei  $F=10$  ergeben sich Werte von typisch 21 ns bzw. 12 ns.

Für das Flipflop FLJ 111 wurden die typischen Einschaltkurven in Bild 6 zusammengestellt. Bei  $F=1$  ergibt sich eine typische Anstiegszeit von 14 ns und eine typische Verzögerungszeit von 12 ns. Bei  $F=10$  erhöhen sich die Werte auf typisch 22 ns bzw. 15 ns.

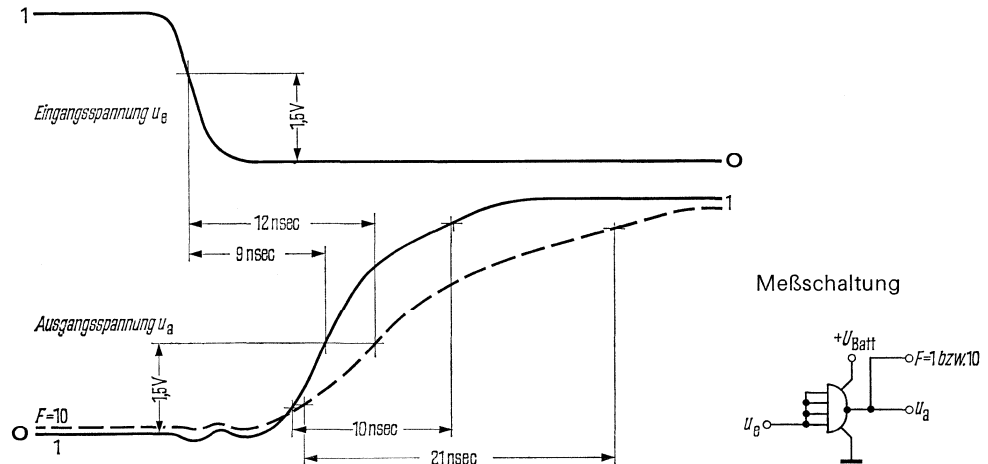


Bild 5 Verlauf des Einschaltvorganges mit Anstiegszeit und Einschaltverzögerungszeit, gemessen an einem typischen Schaltglied aus dem Baustein FLH 121.

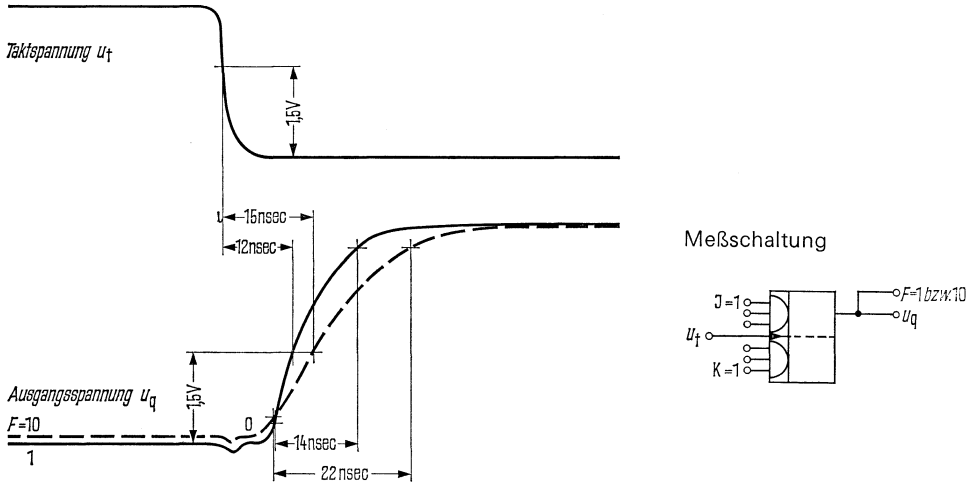


Bild 6 Verlauf des Einschaltvorganges mit Anstiegszeit und Einschaltverzögerungszeit, gemessen an einem typischen Flipflop-Baustein FLJ 111

### 11.3 Abfallzeit und Ausschaltverzögerungszeit

Der Abfall ist steiler als der Anstieg. Nach Bild 7 ergibt sich für ein typisches Schaltglied FLH 121 eine Abfallzeit von typisch 7 ns bei einer Belastung  $F=1$  und von typisch 15 ns bei  $F=10$ .

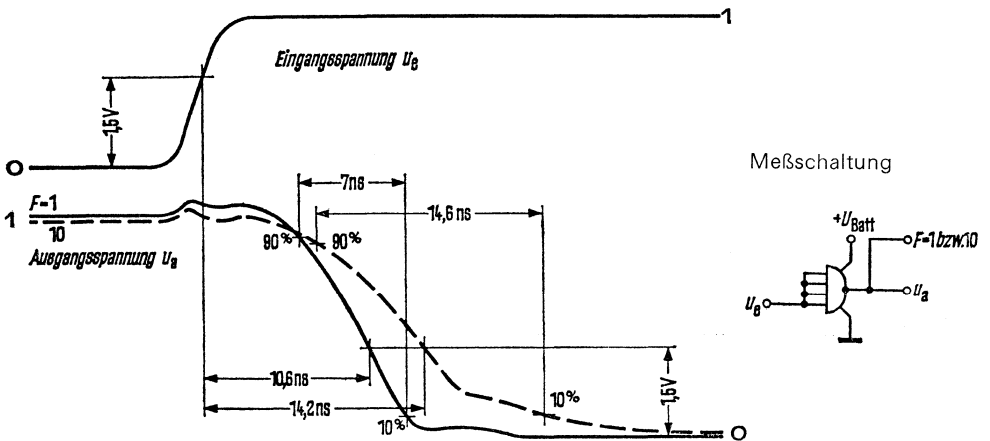


Bild 7 Verlauf des Ausschaltvorganges mit Abfallzeit und Ausschaltverzögerungszeit, gemessen an einem typischen Schaltglied aus dem Baustein FLH 121

Bild 8 zeigt die fallende Flanke am Ausgang Q eines typischen Flipflops FLJ 111 mit typischen Werten von 11 ns bei  $F=1$  und 16 ns bei  $F=10$ . Aus den Bildern 7 und 8 sind auch die typischen Ausschaltverzögerungszeiten  $t_{pd0}$  zu entnehmen.

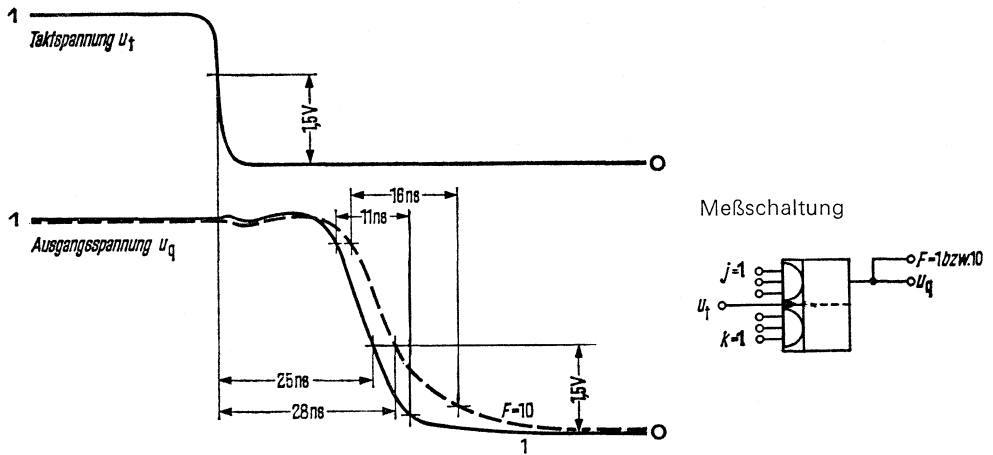


Bild 8 Verlauf des Ausschaltvorganges mit Abfallzeit und Ausschaltverzögerungszeit, gemessen an einem typischen Flipflop-Baustein FLJ 111

#### II.4 Fallzeit von 80% auf 20%

Um den steilsten Teil der fallenden Flanke (ohne die Abrundungen zu Beginn und am Ende) genauer zu erfassen, wird die Fallzeit  $t_f$  zwischen 80% und 20% definiert. Die Werte betragen bei einem typischen Schaltglied FLH 121 5 ns und bei einem typischen Flipflop FLJ 111 6 ns.

#### II.5 Paarlaufzeit

Die Paarlaufzeit  $t_p$  gibt die Signalverzögerung an, die zwei hintereinandergeschaltete Verknüpfungsglieder bewirken. Da jedes Schaltglied invertiert, entsteht am Ende der Kette ein verzögertes Signal, das mit der Ausgangsspannung  $U_a$  phasengleich ist. Ein Vergleich dieses Signals mit dem ursprünglichen ergibt die Paarlaufzeit, die durch eine Einschaltverzögerung und eine Ausschaltverzögerung entsteht. Es gilt dann:

$$\text{Paarlaufzeit } t_p = t_{pd1} + t_{pd0} = 2 t_{pd}$$

Bei taktgesteuertem System ist die Laufzeit ein Maß für das Verhältnis Taktimpuls zu Taktpause.

#### II.6 Folgerungen aus den Meßergebnissen

Die Ein- und Ausschaltkurven der Bilder 5 bis 8 verlaufen annähernd exponentiell. Dies ist auf das Zusammenwirken der Ausgangswiderstände mit den nachfolgenden Eingangskapazitäten zurückzuführen. Jeder Schaltgliedereingang entspricht dabei einer Kapazität von ca. 4 pF. Bei einem Ausgangsfächer von  $F_a=10$  ist dann die Belastung durch 10 parallele Eingangskapazitäten 40 pF. Dies erklärt auch die Abhängigkeit der Schaltzeiten vom Ausgangsfächer.

Längere Leitungen stellen ebenfalls eine kapazitive Last dar. Da die Zeitkonstante des Anstiegs- bzw. Abfallvorganges ein Produkt des Ausgangswiderstandes und der Lastkapazität ist, ergibt sich

## FL 100

---

auch, daß die Einschaltflanke infolge des höheren Ausgangswiderstandes ( $R_{a1} \approx 100 \Omega$  gegenüber  $R_{a0} \approx 15 \Omega$ ) flacher verläuft als die Ausschaltflanke.

Die Umladung der Belastungskapazitäten ist sowohl bei Auslegung der Stromversorgung zur Platine als auch beim Festlegen der Leiterbreiten der Batteriespannungs- und der Masseleitung auf der gedruckten Platine zu berücksichtigen, da sonst Spannungseinbrüche auftreten können.

Um Spannungseinbrüche auf den Zuleitungen der Platine zu vermeiden, ist es zu empfehlen, einen Tantal-Stützkondensator von  $1 \mu\text{F}/35 \text{ V}$  pro 4 bis 12 Bausteine vorzusehen.

Für die Speiseleitungen selbst sollte eine minimale Breite von 3 mm für Europa-Karten vorgesehen werden.

Als sehr günstig erweist sich eine gitterförmige Erdpotentialvermaschung, da diese sehr induktionsarm ist.

### III. Störsicherheit

#### III.1 Statische Störsicherheit

Die statische Störsicherheit charakterisiert das Verhalten eines Schaltgledes gegenüber Störungen, die länger als die mittlere Verzögerungszeit einwirken. Zu den statischen Störungen gehören auch Störimpulse, deren Flanken wesentlich langsamer sind als die Verzögerungszeit der Schaltglieder. Die statische Störsicherheit gibt den zulässigen Spannungshub an, der den logischen Zustand eines Schaltgledes noch nicht ändert.

Die typischen Werte des statischen Störabstandes ergeben sich aus der Übertragungskennlinie (Bild 1, Seite 18). Die Kurve wurde bei einer Ausgangsbelastung von  $F_a=1$  aufgenommen. Die Spannungsgrenze des log.1-Zustandes am Ausgang ist minimal 2,4V und im log.0-Zustand maximal 0,4 V. Der typische statische Störabstand ergibt sich nun aus der Differenz der Ausgangsspannung des steuernden Schaltgledes zur Eingangsschwelspannung  $U_{ss}$  des angesteuerten Schaltgledes.

Für die Bausteine der Serie FL 100 ergeben sich dabei folgende typische Störabstände bezogen auf den Ausgang im Zustand log. 1

bei  $F_a = 1$ :  $U_{ss1} = U_{a1} - U_u = 3,6\text{ V} - 1,4\text{ V} = 2,2\text{ V}$

bei  $F_a = 10$ :  $U_{ss1} = U_{a1} - U_u = 3,4\text{ V} - 1,4\text{ V} = 2,0\text{ V}$

und im Zustand log.0

bei  $F_a = 1$ :  $U_{ss0} = U_u - U_{a0} = 1,4\text{ V} - 0,05\text{ V} = 1,35\text{ V}$

bei  $F_a = 10$ :  $U_{ss0} = U_u - U_{a0} = 1,4\text{ V} - 0,2\text{ V} = 1,2\text{ V}$

Da der typische Störabstand im Übertragungsbereich zwischen 0 und 1 liegt, wird ein minimaler Störabstand garantiert.

Unter Eckbedingungen gilt dabei :

$U_{ss1} = U_{a1} - U_{c1} = 2,4\text{ V} - 2,0\text{ V} = 0,4\text{ V}$

$U_{ss0} = U_{e0} - U_{a0} = 0,8\text{ V} - 0,4\text{ V} = 0,4\text{ V}$

Dies bedeutet, daß in beiden logischen Zuständen eine maximal zulässige Störspannung von 0,4 V auf dem Übertragungsweg von einem Ausgang zum nächsten Eingang auftreten darf, ohne den logischen Zustand des Schaltgledes zu beeinträchtigen.

Zum besseren Verständnis soll das nachfolgende Bild 9 in Verbindung mit dem Pegeldiagramm beitragen. Es zeigt eine Schaltgliederkette und die entsprechenden Grenzspannungspegel, aus denen sich die garantierte Störsicherheit ergibt.

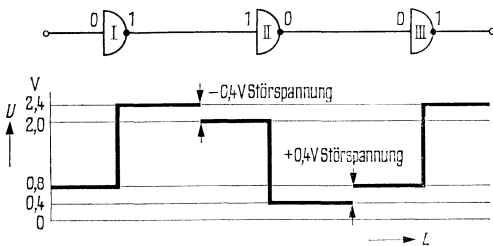


Bild 9

## III.2 Dynamische Störsicherheit

Die dynamische Störsicherheit kennzeichnet das Verhalten der Digitalbausteine gegenüber Störimpulsen, deren Dauer klein ist im Vergleich zur Schaltglieder-Verzögerungszeit. Dabei ist die eingekoppelte Störenergie – Impulsamplitude und Impulsdauer – ausschlaggebend, ob der logische Zustand eines Schaltgliedes verändert wird.

Die zulässige Dauer und Amplitude eines Störimpulses am Eingang hängen von der Verzögerungszeit  $t_{pd}$  des Schaltgliedes ab. Bei Störimpulsen mit Impulslängen  $\tau \gg t_{pd}$  darf die Impulsamplitude den statischen Störabstand nicht überschreiten. Bei  $\tau < \frac{1}{2} t_{pd}$  darf die Störampplitude größer sein als der statische Störabstand.

Bei kapazitiven Einkopplungen von Störungen haben die Schaltglieder den Vorteil eines niederohmigen Gegentaktausgangs der im Zustand log.0 ca.  $15 \Omega$  und im Zustand log.1 ca.  $100 \Omega$  aufweist. Dadurch klingen Störimpulse, die auf den Leitungen zwischen den Gattern eingekoppelt werden, rasch ab.

Um eine gute und genügend zuverlässige Information über das dynamische Störverhalten der Schaltglieder zu erhalten, wählt man einen annähernd rechteckförmigen Störimpuls. Ein Maß für die eingekoppelte Störenergie ist dann die Spannungszeitfläche (Zeitintegral) des Rechteckimpulses. Die Impulsbreite wird bei 1,5 V gemessen. Um das Störverhalten zu ermitteln, wird die Breite und die Amplitude der störenden Rechteckimpulse verändert.

Bei der Messung der dynamischen Störsicherheit ist zu unterscheiden, ob ein log.1-Pegel oder ein log.0-Pegel gestört wird. Bei log.1-Pegel stören nur negative Impulse und bei log.0 positive.

Aus den Kurven kann man allgemein ersehen, daß bei sehr kurzzeitigen Störungen erheblich größere Störampplituden zulässig sind, als bei länger dauernden Störimpulsen. Bei Impulsen, deren Dauer wieder mit der Schaltglieder-Verzögerungszeit vergleichbar wird, sinkt die zulässige Impulsamplitude auf den Wert der statischen Störsicherheit ab. Das Schaltglied wirkt also wie ein Tiefpaßfilter.

### III.2.1 Dynamische Störsicherheit beim log.0-Pegel

Der Störindikator ist ein aus zwei NAND-Schaltgliedern zusammenschaltetes RS-Flipflop, das von dem gestörten Schaltglied angesteuert wird. Das Flipflop wird durch kurzes Antippen des Rückstelleingangs R in den Zustand versetzt, der an erster Stelle an den Ein- und Ausgängen der Schaltglieder angegeben ist (Bild 10).

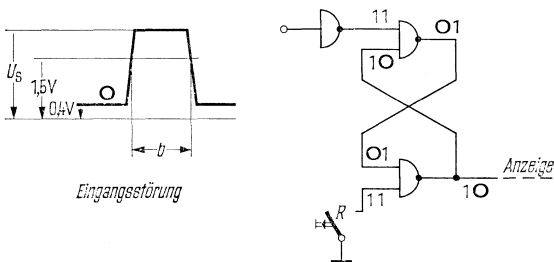


Bild 10 Anordnung zur Messung der dynamischen Störsicherheit des log.0-Pegels bei Schaltgliedern

Zur Messung wird bei konstanter Impulsbreite  $b$  des Störimpulses die Impulshöhe  $U_s$  so lange vergrößert, bis das Flipflop umschaltet. Das Verfahren wird bei verschiedenen Impulsbreiten wiederholt, so daß sich die in Bild 11 angegebenen Störsicherheitskurven ergeben.

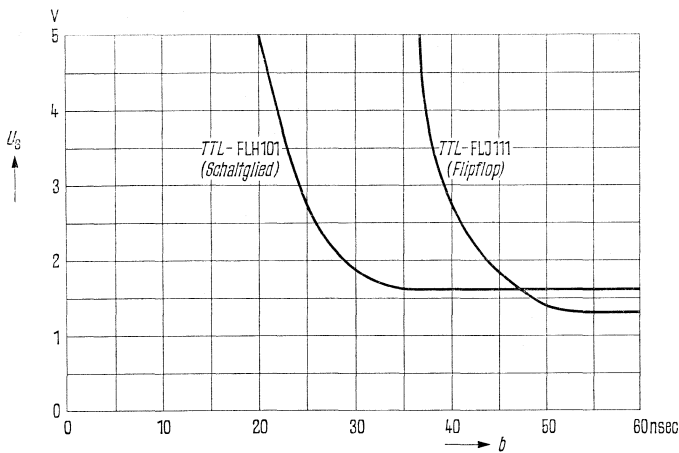


Bild 11 Grenzkurven der dynamischen Störsicherheit des log.0-Pegels

Bei der Messung der dynamischen Störsicherheit eines JK-Flipflops FLJ 111 kann auf einen zusätzlichen Indikator verzichtet werden. Am Ausgang ist ohnehin erkennbar, wann der Punkt erreicht ist, ab dem das Flipflop auf die Störspannung durch Umschalten reagiert (Bild 12).

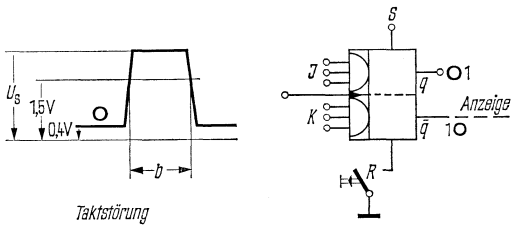


Bild 12 Anordnung zur Messung der dynamischen Störsicherheit des log.0-Pegels bei einem JK-Flipflop FLJ 111

Für die FL 100-Schaltglieder ergibt sich eine Spannungs-Zeitfläche der dynamischen Störsicherheit des log.0-Pegels von ca. 70 V ns und beim Flipflop FLJ 111 von etwa 100 V ns.

Jeder Störimpuls kann durch Impulsbreite  $b$  und Amplitude  $U_s$  charakterisiert und in Bild 11 als Punkt eingetragen werden. Unterhalb der Kurve befindet sich der Sicherheitsbereich der dynamischen Störsicherheit. Störimpulse, die in der Nähe der Grenzkurve oder darüber einzutragen wären, sind unter allen Umständen zu vermeiden.

# FL 100

## III.2.2 Dynamische Störsicherheit beim log. 1 - Pegel

Das Schaltglied, dessen dynamische Störsicherheit untersucht werden soll, kann hier Bestandteil des zur Anzeige verwendeten RS-Flipflops sein, so daß sich die Meßschaltung von Bild 13 ergibt.

Bild 14 zeigt die Meßschaltung des Flipflops.

Die in Bild 15 dargestellte Grenzkurve der dynamischen Störsicherheit gilt wieder für typische Bausteine. Sie sind keinesfalls als absolute, garantierte Datenblatt-Grenzwerte aufzufassen.

Zur Beurteilung der dynamischen Störsicherheit müssen beide Diagramme, Bild 11 und 15, herangezogen werden.

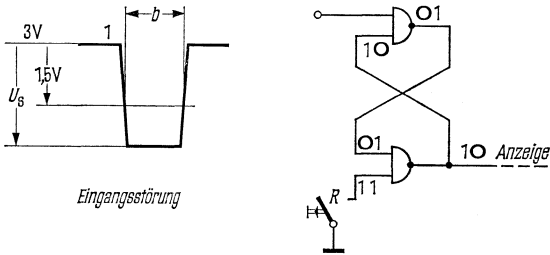


Bild 13 Schaltungsanordnung zur Messung der dynamischen Störsicherheit des log. 1 - Pegels bei Schaltgliedern

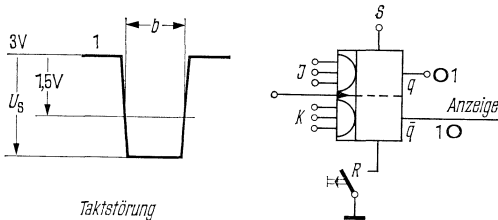


Bild 14 Schaltungsanordnung zur Messung der dynamischen Störsicherheit des log. 1 - Pegels bei einem JK-Flipflop FLJ 111



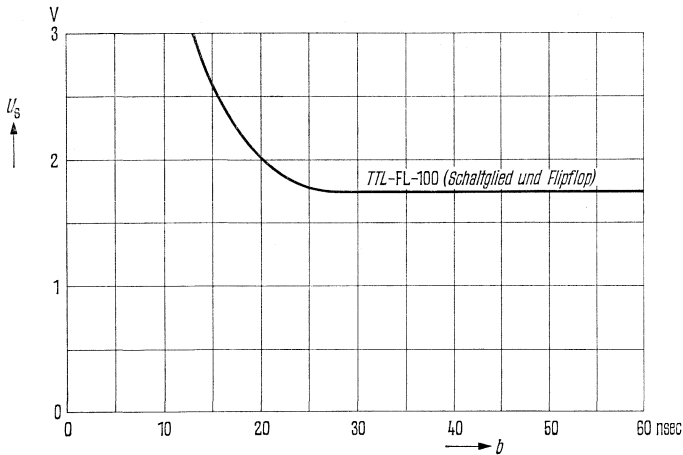


Bild 15 Grenzkurve der dynamischen Störsicherheit des log. 1 - Pegels

### III.3 Störungen auf Leitungen zwischen Digitalbausteinen

Bei Überkopplungsstörungen, die in einer Anlage mit Digitalbausteinen auftreten, verlaufen die störenden Ein- und Ausschaltvorgänge nicht abrupt, da der Innenwiderstand  $R_i$  der Störquelle nicht vernachlässigt werden kann.

Wie Bild 16 zeigt, wird die Störquelle jetzt durch ein Schaltglied gebildet. Dadurch ist die Amplitude  $U_s$  der Störung konstant etwa 3,6 bis 3,8 V, weil das Schaltglied  $GI'$  nur zwischen 0 und 1 schalten kann. Der kritische Fall bei der Störung einer auf 1-Potential liegenden Leitung tritt dann auf, wenn das Potential der störenden Leitung von 1 auf 0 sinkt, weil das Schaltglied  $GI'$  an seinem Ausgang auf 0 geht.

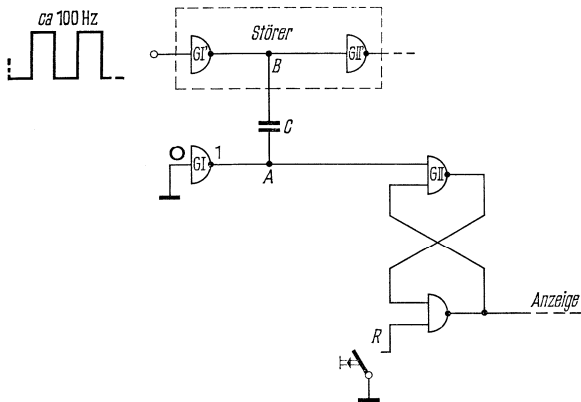


Bild 16 Schaltung zur Einkopplung und Anzeige systemeigener Störungen in kurze Leitungen zwischen Digitalbauelementen bei log. 1 - Pegel

## FL 100

---

Bei der in Bild 16 angegebenen Schaltung ergab sich aus Messungen an typischen Schaltgliedern folgender Wert der Störkapazität, bei der der Störindikator umschaltet:

$$\text{TTL} - \text{FL 100} \quad C \approx 950 \text{ pF}$$

Systemeigene Störungen einer auf 0-Potential liegenden Leitung können bei TTL-Schaltgliedern nicht mehr nachgewiesen werden.

**Allgemeine Angaben zur TTL-Serie FL 100**

FL 100 ist eine Serie monolithisch integrierter Halbleiterschaltungen. Die Bausteine sind in epitaktischer Planartechnik mit Untergrundschrift (buried layer) hergestellt.

Folgende Grenzdaten gelten für alle Typen:

	min	max	Einheit
Betriebsspannung	$U_{Batt}$ 0	7	V
Eingangsspannung	$U_E$ 0	5,5	V
Betriebstemperatur bei FL 101 (Bereich 1)	$T_U$ 0	70	°C
Betriebstemperatur bei FL 105 (Bereich 5)	$T_U$ -25	85	°C
Lagertemperatur	$T_S$ -65	150	°C
Wärmewiderstand (System-Luft)	$R_{thSU}$	150	grd/W

Die typischen Werte der Kenndaten in den Tabellen gelten für  $U_{Batt}=5,0V$  und  $T_U=25\text{ °C}$ .

Die Serien FL 101 und FL 105 sind im Plastik-Steckgehäuse (siehe Bauformzeichnungen). Eine ständige Erweiterung der Serie ist vorgesehen.

Zur Zeit sind folgende Bausteine in Vorbereitung:

- FLH 311, 4-Bit-Komparator
- FLH 321, Vier NAND-Leistungsglieder mit je zwei Eingängen
- FLH 331, Zwei NAND-Glieder mit je fünf Eingängen
- FLJ 201, Dezimaler Vorwärts-Rückwärts-Zähler
- FLJ 211, Binärer Vorwärts-Rückwärts-Zähler
- FLJ 221, 8-Bit-Schieberegister
- FLJ 231, 4-Bit-Schieberegister
- FLJ 241, Dezimaler Vorwärts-Rückwärts-Zähler mit Rückstelleingang
- FLJ 251, Binärer Vorwärts-Rückwärts-Zähler mit Rückstelleingang

Weiterhin entwickeln wir zur Zeit eine TTL-Serie im Flachgehäuse TO 84. Die Serie wird für die Temperaturbereiche  $T_U = 0$  bis  $70\text{ °C}$  und  $T_U = -55$  bis  $125\text{ °C}$  lieferbar sein.

**Vier NAND-Glieder mit je zwei Eingängen**

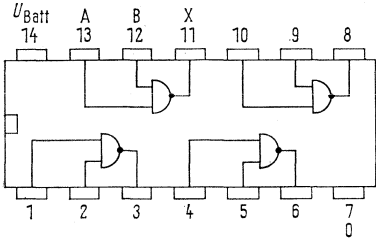
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-800\text{ }\mu\text{A}$	2	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	1			0,4	V
Statische Störsicherheit	$U_{ss}$			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	$\mu\text{A}$
	$I_e$	$U_e=5,5\text{ V} \mid =5,25\text{ V}$	3			200	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eing.	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	4			-1,6	mA
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{Batt}=5,25\text{ V}$	5	-18		-55	mA
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt}=5,25\text{ V} \mid U_e=0\text{V}$ $U_{Batt}=7\text{ V}$	6			3	mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$	6			6	mA
Leistungsverbrauch pro Glied	$P$	Tastverhältnis 1 : 1			15		mW

**Schaltzeiten bei  $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$**

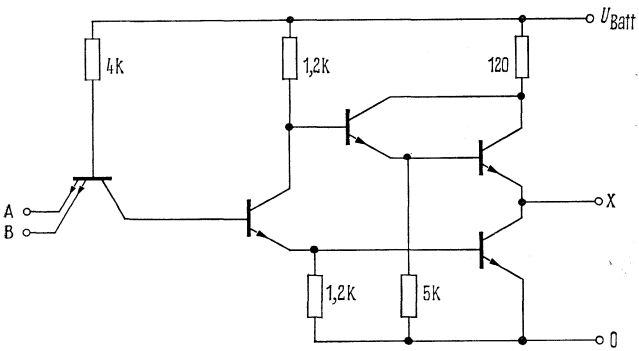
Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15\text{ pF}, F_a=10$	22	4	15	23	ns
Ausschaltverzögerungszeit	$t_{pd1}$				15	23	ns
Mittlere Verzögerungszeit	$t_{pd}$				15		ns
Fallzeit von log. 1 auf log. 0	$t_f$	} $C_1=15\text{ pF}, F_a=1$	22				ns

**Logische Daten pro Glied**

Ausgangsfächer, log. 1	$F_{a1}$	} $X=A \wedge B$	20	
log. 0	$F_{a0}$			10
Eingangsfächer	$F_e$			2
Logische Funktion				



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

**Drei NAND-Glieder mit je drei Eingängen**

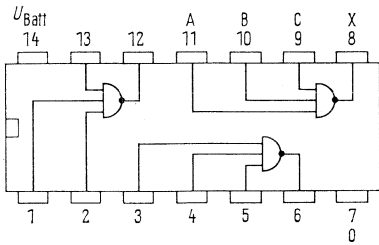
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-800\text{ }\mu\text{A}$	2	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	1			0,4	V
Statische Störsicherheit	$U_{ss}$			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eing.	$I_{e0}$	$U_e=5,5\text{ V} \mid =5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$	3 4			200	$\mu\text{A}$
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$	5	-18		-55	mA
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt}=5,25\text{ V} \mid U_e=0\text{ V}$ $U_{Batt}=7\text{ V}$	6			3	mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$	6			6	mA
Leistungsverbrauch pro Glied	$P$	Tastverhältnis 1:1				15	mW

**Schaltzeiten bei  $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$**

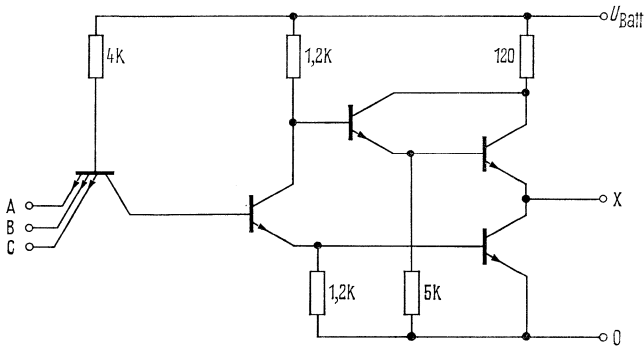
Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15\text{ pF}, F_a=10$	22	4	15	23	ns
Ausschaltverzögerungszeit	$t_{pd1}$				15	23	ns
Mittlere Verzögerungszeit	$t_{pd}$	} $C_1=15\text{ pF}, F_a=1$	22	4	15		ns
Fallzeit von log. 1 auf log. 0	$t_f$						ns

**Logische Daten pro Glied**

Ausgangsfächer log. 1	$F_{a1}$	} $X=A \wedge B \wedge C$	20	
log. 0,	$F_{a0}$			10
Eingangsfächer	$F_e$			3
Logische Funktion				



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

# FLH 121, Q67000-H3; FLH 125, Q67000-H157

## Zwei NAND-Glieder mit je vier Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$	2	2,4			V
		$U_{e0}=0,8\text{ V}$					
		$I_L=-800\text{ }\mu\text{A}$					
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$	1			0,4	V
		$U_{e1}=2\text{ V}, I_L=16\text{ mA}$					
Statische Störsicherheit	$U_{ss}$			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	$\mu\text{A}$
	$I_e$	$U_e=5,5\text{ V} \mid =5,25\text{ V}$	3			200	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eing.	$I_e$	$U_{Batt}=5,25\text{ V}$	4			-1,6	mA
	0	$U_{e0}=0,4\text{ V}$					
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{Batt}=5,25\text{ V}$	5	-18		-55	mA
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt}=5,25\text{ V} \mid U_e=0\text{ V}$	6			3	mA
		$U_{Batt}=7\text{ V}$				5	mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt}=5,25\text{ V}$	6			6	mA
		$U_e=4,5\text{ V}$					
Leistungsverbrauch pro Glied	$P$	Tastverhältnis 1:1			15		mW

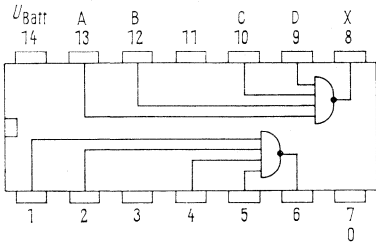
Schaltzeiten bei  $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15\text{ pF}, F_a=10$	22	4	15	23	ns
Ausschaltverzögerungszeit	$t_{pd1}$				15	23	ns
Mittlere Verzögerungszeit	$t_{pd}$	} $C_1=15\text{ pF}, F_a=1$	22	4	15		ns
Fallzeit von log. 1 auf log. 0	$t_f$						ns

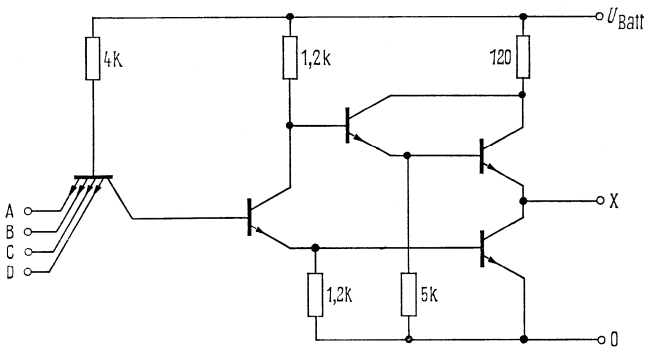
Logische Daten pro Glied

Ausgangsfächer, log. 1	$F_{a1}$	} $X=A \wedge B \wedge C \wedge D$	20	4	
log. 0	$F_{a0}$				10
Eingangsfächer	$F_e$				4
Logische Funktion					





Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

### NAND-Glied mit acht Eingängen

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-800\text{ }\mu\text{A}$	2	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	1			0,4	V
Statische Störsicherheit	$U_{ss}$			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eing.	$I_{e0}$	$U_e=5,5\text{ V} \mid =5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	3 4			200 -1,6	$\mu\text{A}$ mA
Kurzschlußausgangsstrom	$I_{aK}$	$U_{Batt}=5,25\text{ V}$	5	-18		-55	mA
Stromaufnahme, log. 1	$I_{Batt1}$	$U_{Batt}=5,25\text{ V} \mid U_e=0\text{ V}$ $U_{Batt}=7\text{ V}$	6			3	mA
Stromaufnahme, log. 0	$I_{Batt0}$	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$	6			5 6	mA
Leistungsverbrauch	$P$	Tastverhältnis 1:1			15		mW

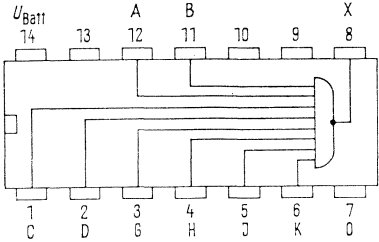
Schaltzeiten bei  $U_{Batt}=5\text{ V}$ ,  $T_U=25\text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{pd0}$	$C_1=15\text{ pF}, F_a=10$	22	4	15	23	ns
Ausschaltverzögerungszeit	$t_{pd1}$				15	23	ns
Mittlere Verzögerungszeit	$t_{pd}$	$C_1=15\text{ pF}, F_a=1$	15	4	15		ns
Fallzeit von log. 1 auf log. 0	$t_f$						ns

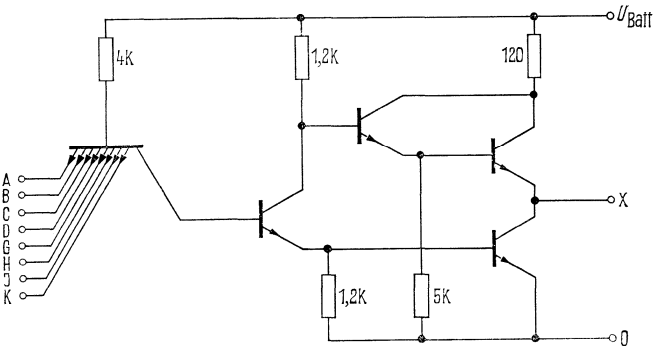
Logische Daten pro Glied

Ausgangsfächer, log. 1	$F_{a1}$	$X=A \wedge B \wedge C \wedge D \wedge G \wedge H \wedge J \wedge K$	20
log. 0	$F_{a0}$		10
Eingangsfächer	$F_e$		8
Logische Funktion			

# FLH 131, FLH 135



Anschlußanordnung  
Ansicht von oben



Schaltschema

**Zwei NAND-Leistungsglieder mit je vier Eingängen**

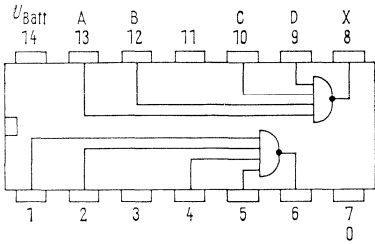
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$	2			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$	2	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $I_L=-2,4\text{ mA}$ $U_{e1}=2\text{ V}, I_L=48\text{ mA}$	1			0,4	V
Statische Störsicherheit	$U_{ss}$			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	3			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eing.	$I_{e0}$	$U_e=5,5\text{ V} \mid =5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$	3 4			200	$\mu\text{A}$
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$	5	-18		-70	mA
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt}=5,25\text{ V} \mid U_e=0\text{ V}$ $U_{Batt}=7\text{ V}$	6			3	mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$	6			12	mA
Leistungsverbrauch pro Glied	$P$	Tastverhältnis 1:1				40	mW

**Schaltzeiten bei  $U_{Batt}=5\text{ V}, T_U=25\text{ °C}$**

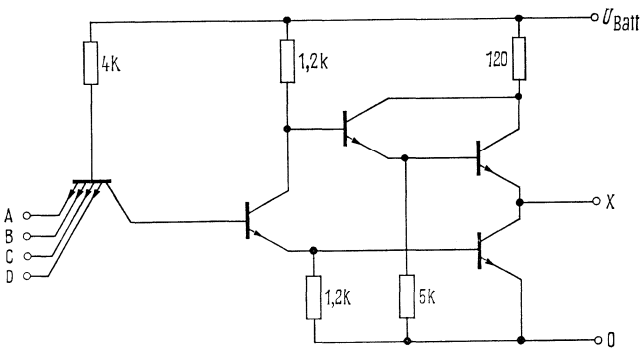
Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15\text{ pF}, F_a=30$	22	4	15	23	ns
Ausschaltverzögerungszeit	$t_{pd1}$						
Mittlere Verzögerungszeit	$t_{pd}$	} $C_1=15\text{ pF}, F_a=1$	22	4	15		ns
Fallzeit von log. 1 auf log. 0	$t_f$						

**Logische Daten pro Glied**

Ausgangsfächer, log. 1	$F_{a1}$	} $X=A \wedge B \wedge C \wedge \bar{D}$	60	4
log. 0	$F_{a0}$			
Eingangsfächer	$F_e$			
Logische Funktion				



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

# FLH 151, FLH 155, FLH 161, FLH 165

Q67000-H6    Q67000-H159    Q67000-H7    Q67000-H160

## Zwei invertierende UND/ODER-Glieder mit je 2×2 Eingängen

FLH 151, FLH 155 mit Erweiterungseingängen  
 FLH 161, FLH 165 ohne Erweiterungseingänge (Stift 11 und 12 dürfen nicht beschaltet werden)  
 FLY 101, FLY 105 dazu passende Erweiterungsglieder

### Statische Kenndaten

im Temperaturbereich 1 und 5,  
 Stift 11 und 12 offen

		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	7	2,0			
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$	8			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}, I_L=-800\text{ }\mu\text{A}$	8	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, I_L=16\text{ mA}$	7			0,4	V
Statische Störsicherheit	$U_{ss}$			0,4	1		V
Eingangsstrom, log. 1, pro Eing.	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	9			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eing.	$I_{e0}$	$U_e=5,5\text{ V} \mid =5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$	9 10			200	$\mu\text{A}$
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$	11	-18		-55	mA
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt}=5,25\text{ V} \mid U_{e0}=0\text{ V}$ $U_{Batt}=7\text{ V}$	13			4,5	mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt}=5,25\text{ V}$ $U_{e1}=4,5\text{ V}$	12			7	mA
Leistungsverbrauch pro Glied	$P$	Tastverhältnis 1:1			18		mW

Schaltzeiten bei  $U_{Batt}=5\text{ V}$ ,  $T_U=25\text{ }^\circ\text{C}$ , Stift 11 und 12 offen

Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15\text{ pF}, F_a=10$	22	4	15	23	ns
Ausschaltverzögerungszeit	$t_{pd1}$				15	23	ns
Mittlere Verzögerungszeit	$t_{pd}$	} $C_1=15\text{ pF}, F_a=1$	22	4	15		ns
Fallzeit von log. 1 auf log. 0	$t_f$						

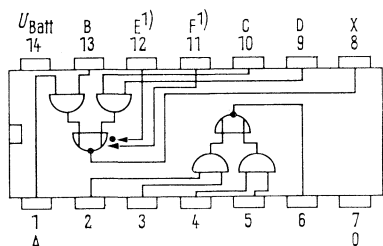
### Logische Daten pro Glied

Ausgangsfächer, log. 1	$F_{a1}$	} $X=(A \wedge B) \vee (C \wedge D) \vee \text{Erw.}^1)$	20
log. 0	$F_{a0}$		10
Eingangsfächer	$F_e$		2×2 +Erw. <sup>1)</sup>
Eingangsfächer der Erweite- rungseingänge <sup>1)</sup>	$F_{erw}$		4
Logische Funktion			

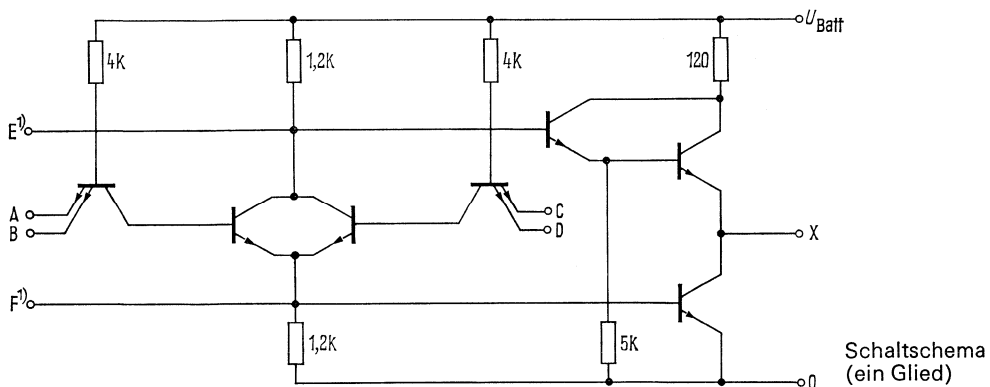
# FLH 151, FLH 155, FLH 161, FLH 165

Statische Kenndaten der Erweiterungseingänge, E und F, im Temperaturbereich 1 und 5, wenn nicht anders angegeben<sup>1)</sup>

		Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit
Eingangsstrom in d. Erw.-Eing.	$I_{EF}$	$U_{Batt}=4,75\text{ V}$ $R=130\ \Omega$ $I_L=16\text{ mA}$	15			3,6	mA
Basis-Emitter-Spannung des unteren Ausgangstransistors	$U_{BE}$	$U_{Batt}=4,75\text{ V}$ $R=130\ \Omega$ $I_L=16\text{ mA}$ , $I_F=620\ \mu\text{A}$ $T_U=22\text{ °C}$	15			1	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $I_L=-400\ \mu\text{A}$ $I_E=-270\ \mu\text{A}$ $I_F=270\ \mu\text{A}$ $T_U=22\text{ °C}$	16	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$ $R=130\ \Omega$ $I_F=0,43\text{ mA}$	15			0,4	V



Anschlußanordnung  
Ansicht von oben



1) Nur bei FLH 151, 155

# FLH 171, FLH 175, FLH 181, FLH 185

Q67000-H8 Q67000-H161 Q67000-H9 Q67000-H162

## Invertierendes UND/ODER-Glied mit 4×2 Eingängen

FLH 171, FLH 175 mit Erweiterungsanschlüssen E und F  
 FLH 181, FLH 185 ohne Erweiterungseingänge (Stift 11 und 12 dürfen nicht beschaltet werden)  
 FLY 101, FLY 105 dazu passende Erweiterungsglieder

### Statische Kenndaten

im Temperaturbereich 1 und 5,  
 Stift 11 und 12 offen

		Prüfbedingungen	Prüfschaltung	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{\text{Batt}}=4,75 \text{ V}$	7	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{\text{Batt}}=4,75 \text{ V}$	8			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{\text{Batt}}=4,75 \text{ V}$	8	2,4			V
		$U_{e0}=0,8 \text{ V}, I_L=-800 \mu\text{A}$					
Ausgangsspannung, log. 0	$U_{a0}$	$U_{\text{Batt}}=4,75 \text{ V}$	7			0,4	V
		$U_{e1}=2,0 \text{ V}, I_L=16 \text{ mA}$					
Statische Störsicherheit	$U_{\text{ss}}$			0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}$	9			40	$\mu\text{A}$
	$I_e$	$U_e=5,5 \text{ V} \mid =5,25 \text{ V}$	9			200	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{\text{Batt}}=5,25 \text{ V}$	10			-1,6	$\text{mA}$
		$U_{e0}=0,4 \text{ V}$					
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{\text{Batt}}=5,25 \text{ V}$	11	-18		-55	$\text{mA}$
Stromaufnahme, log. 1, pro Glied	$I_{\text{Batt}1}$	$U_{\text{Batt}}=5,25 \text{ V} \mid U_e$	13			7,5	$\text{mA}$
		$U_{\text{Batt}}=7,0 \text{ V} \mid =0 \text{ V}$				12,5	$\text{mA}$
Stromaufnahme, log. 0, pro Glied	$I_{\text{Batt}0}$	$U_{\text{Batt}}=5,25 \text{ V}$	12			9	$\text{mA}$
		$U_e=4,5 \text{ V}$					
Leistungsverbrauch pro Glied	$P$	Tastverhältnis 1:1			25		$\text{mW}$

Schaltzeiten bei  $U_{\text{Batt}}=5 \text{ V}, T_U=25^\circ\text{C}$

Einschaltverzögerungszeit	$t_{\text{pd}0}$	} $C_1=15 \text{ pF}, F_a=10$		22		15	23	ns
Ausschaltverzögerungszeit	$t_{\text{pd}1}$					15	23	ns
Mittlere Verzögerungszeit	$t_{\text{pd}}$	} $C_1=15 \text{ pF}, F_a=1$		22		4		ns
Fallzeit von log. 1 auf log. 0	$t_f$							ns

### Logische Daten pro Glied

Ausgangsfächer, log. 1	$F_{a1}$		20
log. 0	$F_{a0}$		
Eingangsfächer	$F_e$		4×2
			+Erw.1)
Eingangsfächer der Erweiterungseingänge <sup>1)</sup>	$F_{\text{erw}}$		4
Logische Funktion			

$$X = (\overline{A \wedge B}) \vee (\overline{C \wedge D}) \vee (\overline{G \wedge H}) \vee (\overline{J \wedge K}) \vee \text{Erw.1)}$$

Statische Kenndaten der Erweiterungseingänge E und F<sup>1)</sup>

siehe UND/ODER-Glied FLH 151 bzw. FLH 155.





**Vier NOR-Glieder mit je zwei Eingängen**

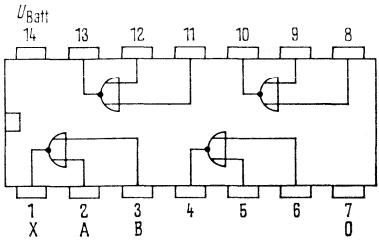
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	7	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$	8			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-800\ \mu\text{A}$	8	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$	7			0,4	V
Statische Störsicherheit	$U_{ss}$			0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$	9			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_e=5,5\text{ V} \mid =5,25\text{ V}$ $U_{Batt}=5,25\text{ V}$	9 10			200	$\mu\text{A}$
Kurzschlußausgangsstrom pro Glied	$I_{ak}$	$U_{e0}=0,4\text{ V}$ $U_{Batt}=5,25\text{ V}$	11	-18		-55	mA
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt}=5,25\text{ V} \mid U_e$	13			4,5	mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt}=7,0\text{ V} \mid =0\text{ V}$ $U_{Batt}=5,25\text{ V}$	12			7,5	mA
Leistungsverbrauch pro Glied	$P$	$U_e=4,5\text{ V}$ Tastverhältnis 1:1			17		mW

**Schaltzeiten bei  $U_{Batt}=5\text{ V}, T_U=25\text{ °C}$**

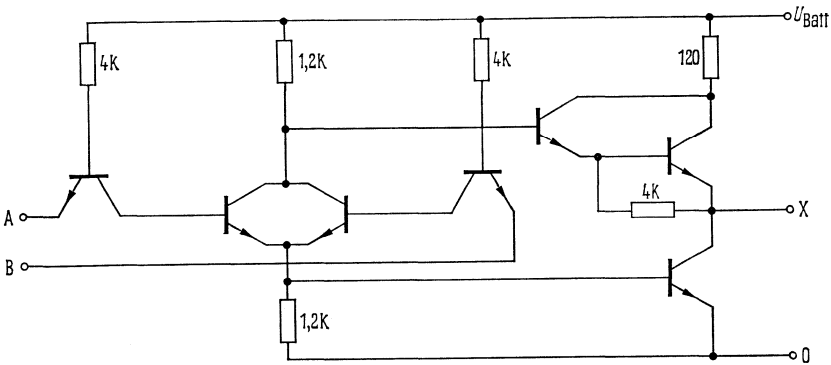
Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15\text{ pF}, F_a=10$	22	4	15	23	ns
Ausschaltverzögerungszeit	$t_{pd1}$				15	23	ns
Mittlere Verzögerungszeit	$t_{pd}$	} $C_1=15\text{ pF}, F_a=1$	22	4	15		ns
Fallzeit von log. 1 auf log. 0	$t_f$						ns

**Logische Daten pro Glied**

Ausgangsfächer, log. 1	$F_{a1}$	} $X=\overline{A \vee B}$	20
log. 0	$F_{a0}$		10
Eingangsfächer	$F_e$		2
Logische Funktion			



Anschlußanordnung  
Ansicht von oben



Schaltschema (ein Glied)

## Vier NAND-Glieder mit je zwei Eingängen

Die Glieder FLH 201 und FLH 205 sind für Phantom-UND-Verknüpfungen vorgesehen (wired-AND).

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{\text{Batt}}$			4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{\text{Batt}}=4,75\text{ V}$	1	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{\text{Batt}}=4,75\text{ V}$	14			0,8	V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{\text{Batt}}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$	1			0,4	V
Statische Störsicherheit	$U_{\text{ss}}$			0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$ $I_e$	$U_{e1}=2,4\text{ V} \mid U_{\text{Batt}}$ $U_e=5,5\text{ V} \mid =5,25\text{ V}$	3 3			40 200	$\mu\text{A}$ $\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{\text{Batt}}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	4			-1,6	mA
Ausgangsperrstrom, log. 1	$I_{a1}$	$U_{\text{Batt}}=4,75\text{ V}$ $U_{a1}=5,25\text{ V}, U_{e0}=0,8\text{ V}$	14			250	$\mu\text{A}$
Stromaufnahme, log. 1, pro Glied	$I_{\text{Batt1}}$	$U_{\text{Batt}}=5,25\text{ V} \mid U_e$ $U_{\text{Batt}}=7,0\text{ V} \mid =0\text{ V}$	6 6			2 3,3	mA mA
Stromaufnahme, log. 0, pro Glied	$I_{\text{Batt0}}$	$U_{\text{Batt}}=5,25\text{ V}$ $U_e=4,5\text{ V}$	6			6	mA
Leistungsverbrauch pro Glied	$P$	Tastverhältnis 1:1			12		mW

Schaltzeiten bei  $U_{\text{Batt}}=5\text{ V}$ ,  $T_U=25\text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{\text{pd0}}$	$R_L=390\ \Omega \mid C_1=15\ \text{pF}$	22	15	23	ns			
Ausschaltverzögerungszeit	$t_{\text{pd1}}$						40	50	ns
Mittlere Verzögerungszeit	$t_{\text{pd}}$						27		ns

Logische Daten pro Glied

Ausgangsfächer	$F_a$	$X = \overline{A \wedge B}$	10	
Eingangsfächer	$F_e$			2
Logische Funktion				

Berechnung des Kollektorarbeitswiderstandes  $R_A$

Die Berechnung erfolgt nach folgenden Formeln (Tabelle S. 51)

Log. 1 Zustand

Log. 0 Zustand

$$R_{A\text{max}} = \frac{U_{\text{Batt}} - 2,4\text{ V}}{n \cdot 250\ \mu\text{A} + N \cdot 40\ \mu\text{A}}\ \text{M}\Omega$$

$$R_{A\text{min}} = \frac{U_{\text{Batt}} - 0,4\text{ V}}{16\ \text{mA} - N \cdot 1,6\ \text{mA}}\ \text{k}\Omega$$

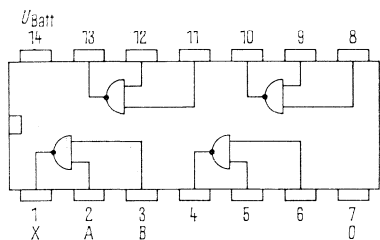
Wobei:  $U_{\text{Batt}}$  = Versorgungsspannung

n = Anzahl der FLH 201 in UND-Verbindung

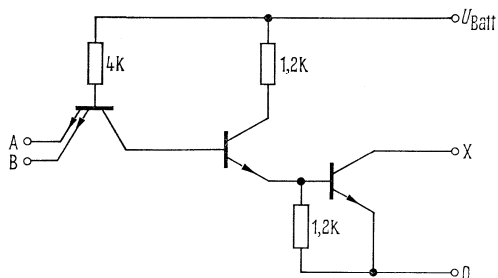
N = Anzahl der angeschlossenen Eingänge

Bei  $U_{\text{Batt}}=5\text{ V}$  und entsprechender Variation der Werte für n und N ergeben sich nachfolgend aufgeführte Maximal- und Minimalwerte für  $R_A$ . Der tatsächlich in der Schaltung verwendete Widerstandswert muß zwischen diesen beiden Widerständen liegen.

N	n							n
	1	2	3	4	5	6	7	1...7
	Maximalwerte $R_A \Omega$							Minimalwerte $R_A \Omega$
1	8965	4814	3291	2500	2015	1688	1452	319
2	7878	4482	3132	2407	1954	1645	1420	359
3	7027	4193	2988	2321	1897	1604	1390	410
4	6341	3939	2857	2241	1843	1566	1361	479
5	5777	3714	2736	2166	1793	1529	1333	575
6	5306	3513	2626	2096	1744	1494	1306	718
7	4905	3333	2524	2031	1699	1460	1280	958
8	4561	3170	2429	1969	1656			1437
9	4262	3023						2875
10	4000		nicht zulässig					4000



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

## Sechsfacher Inverter (vorläufige Daten)

Statische Kenndaten  
im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$		4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $I_L=-400\text{ }\mu\text{A}$	2,4	3,3		V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$		0,22	0,4	V
Statische Störsicherheit	$U_{ss}$		0,4	1,0		V
Eingangsstrom, log. 1 pro Eingang	$I_{e1}$ $I_e$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$ $U_e=5,5\text{ V} \mid =5,25\text{ V}$			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			1,0 -1,6	$\text{mA}$
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{Batt}=5,25\text{ V}$	-18		-55	$\text{mA}$
Stromaufnahme, log. 1, gesamt	$I_{Batt1}$	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$		6	12	$\text{mA}$
Stromaufnahme, log. 0, gesamt	$I_{Batt0}$	$U_{Batt}=5,25\text{ V}$ $U_e=5,0\text{ V}$		18	33	$\text{mA}$

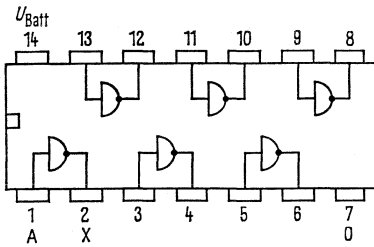
Schaltzeiten bei  $U_{Batt}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$		8	15	ns
Ausschaltverzögerungszeit	$t_{pd1}$					

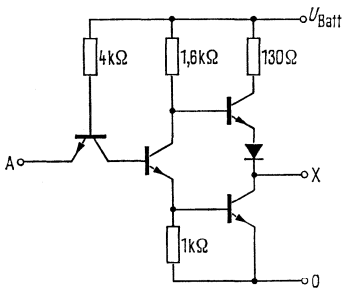
Logische Daten pro Glied

Ausgangsfächer	$F_a$		10	
Eingangsfächer	$F_e$			

Logische Funktion  $X=\overline{A}$



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

## 1-Bit-Volladdierer (vorläufige Daten)

Der Baustein FLH 221 bzw. FLH 225 ist ein 1-Bit-Volladdierer mit Komplementär-Ein- und -Ausgängen. Der Übertrag ergibt sich am Ausgang  $\overline{C}_{n+1}$ .

### Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$		2,0			V
Eingangsspannung, log. 0	$U_{e0}$				0,8	V
Ausgangsspannung, log. 1	$U_{a1}$		2,4	3,5		V
Ausgangsspannung, log. 0	$U_{a0}$			0,22	0,4	V
Eingangsstrom, log. 0, an $A_1, A_2, B_1, B_2, A_C$ oder $B_C$	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 0, an $A^*$ oder $B^*$	$I_{e0}$				-2,6	mA
Eingangsstrom, log. 0, an $C_n$	$I_{e0}$			-8,0	mA	
Eingangsstrom, log. 1, an $A_1, A_2, B_1, B_2, A_C$ oder $B_C$	$I_{e1}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,25\text{ V}$ $U_{e1}=5,5\text{ V}$   $U_{Batt}=5,25\text{ V}$			15	$\mu\text{A}$
Eingangsstrom, log. 1, an $C_n$	$I_{e1}$				1,0	mA
	$I_{e1}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,25\text{ V}$ $U_{e1}=5,5\text{ V}$   $U_{Batt}=5,25\text{ V}$			200	$\mu\text{A}$
	$I_{e1}$				1,0	mA
Kurzschlußausgangsstrom, an $\Sigma$ oder $\overline{\Sigma}$ , pro Ausgang	$I_{aK}$	$U_{Batt}=5,25\text{ V}$	-18		-57	mA
Kurzschlußausgangsstrom, an $\overline{C}_{n+1}$ , pro Ausgang	$I_{aK}$		-18		-70	mA
Stromaufnahme	$I_{Batt}$			21	35	mA

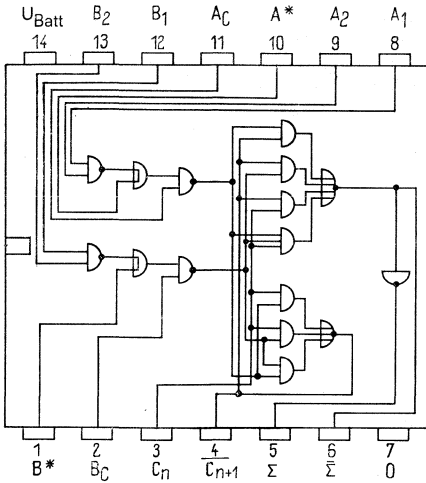
Schaltzeiten bei  $U_{Batt}=5,0\text{ V}$ ,  $T_U=25\text{ }^\circ\text{C}$

Einschaltverzögerungszeit						
von Eingang $C_n$ zum Ausgang $\overline{C}_{n+1}$	$t_{pd0}$	$C_1=15\text{ pF}$ $R_L=780\ \Omega$	8	12	ns	
von Eingang $B_C$ zum Ausgang $\overline{C}_{n+1}$	$t_{pd0}$		38	55	ns	
von Eingang $A_C$ zum Ausgang $\Sigma$	$t_{pd0}$	$C_1=15\text{ pF}$ $R_L=400\ \Omega$	62	80	ns	
von Eingang $B_C$ zum Ausgang $\overline{\Sigma}$	$t_{pd0}$		56	75	ns	
von Eingang $A_1$ zum Ausgang $A^*$	$t_{pd0}$	$C_1=15\text{ pF}$	17	25	ns	
von Eingang $B_1$ zum Ausgang $B^*$	$t_{pd0}$		17	25	ns	
Ausschaltverzögerungszeit						
von Eingang $C_n$ zum Ausgang $\overline{C}_{n+1}$	$t_{pd1}$	$C_1=15\text{ pF}$ $R_L=780\ \Omega$	13	17	ns	
von Eingang $B_C$ zum Ausgang $\overline{C}_{n+1}$	$t_{pd1}$		18	25	ns	
von Eingang $A_C$ zum Ausgang $\Sigma$	$t_{pd1}$	$C_1=15\text{ pF}$ $R_L=400\ \Omega$	52	70	ns	
von Eingang $B_C$ zum Ausgang $\overline{\Sigma}$	$t_{pd1}$		38	55	ns	
von Eingang $A_1$ zum Ausgang $A^*$	$t_{pd1}$	$C_1=15\text{ pF}$	48	65	ns	
von Eingang $B_1$ zum Ausgang $B^*$	$t_{pd1}$		48	65	ns	

### Logische Daten

Ausgangsfächer $\overline{C}_{n+1}$	$F_a$	5
Ausgangsfächer $\Sigma$ oder $\overline{\Sigma}$	$F_a$	10
Ausgangsfächer $A^*$ oder $B^*$	$F_a$	3





Anschlußanordnung  
Ansicht von oben

Logisches Verhalten	Eingänge			Ausgänge	
$C_n$	B	A	$\overline{C_{n+1}}$	$\overline{\Sigma}$	$\Sigma$
0	0	0	1	1	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	1

Anmerkung:

1.  $A = \overline{A^*} \wedge \overline{A_C}$ ,  $B = \overline{B^*} \wedge \overline{B_C}$

wobei  $A^* = \overline{A_1} \wedge \overline{A_2}$ ,  $B^* = \overline{B_1} \wedge \overline{B_2}$

2. Wird  $A^*$  oder  $B^*$  als Eingang benutzt, so muß  $A_1$  und  $A_2$  bzw.  $B_1$  und  $B_2$  an Masse gelegt werden.
3. Werden die Eingänge  $A_1$  und  $A_2$  oder  $B_1$  und  $B_2$  benutzt, dann muß  $A^*$  bzw.  $B^*$  offen bleiben oder in wired-AND (FLH 201) betrieben werden.

**2-Bit-Volladdierer (vorläufige Daten)**

Der Baustein FLH 231 bzw. FLH 235 ist ein Volladdierer für 2 × 2 Bits. Die Bit-Summen ergeben sich an  $\Sigma_1$  und  $\Sigma_2$ , der Übertrag steht nur für das 2. Bit zur Verfügung.

**Statische Kenndaten**

im Temperaturbereich 1 und 5

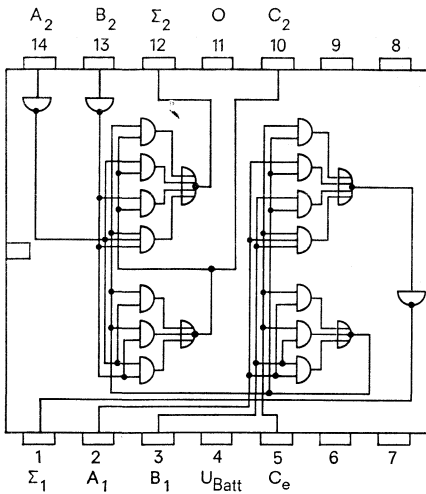
		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$		2,0			V
Eingangsspannung, log. 0	$U_{e0}$				0,8	V
Ausgangsspannung, log. 1	$U_{a1}$		2,4			V
Ausgangsspannung, log. 0	$U_{a0}$				0,4	V
Eingangsstrom, log. 0, an A1, B1 oder C <sub>e</sub>	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-6,4	mA
Eingangsstrom, log. 0, an A2 oder B2	$I_{e0}$				-1,6	mA
Eingangsstrom, log. 1, an A1, B1 oder C <sub>e</sub>	$I_{e1}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,5\text{ V}$ $U_e=5,5\text{ V}$   $5,25\text{ V}$			160	$\mu\text{A}$
Eingangsstrom, log. 1, an A2 oder B2	$I_{e1}$				1,0	mA
Kurzschlußausgangsstrom, an C <sub>2</sub> , pro Ausgang	$I_{aK}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,5\text{ V}$ $U_e=5,5\text{ V}$   $5,25\text{ V}$			40	$\mu\text{A}$
Kurzschlußausgangsstrom, an $\Sigma_1$ oder $\Sigma_2$ , pro Ausgang	$I_{aK}$				1,0	mA
Stromaufnahme	$I_{Batt}$	$U_{Batt}=5,25\text{ V}$	-18		-70	mA
			-18		-55	mA
				35	58	mA

**Schaltzeiten bei  $U_{Batt}=5,0\text{ V}$ ,  $T_U=25\text{ °C}$**

Einschaltverzögerungszeit von Eingang C <sub>e</sub> zum Ausgang $\Sigma_1$	$t_{pd0}$	$C_1=15\text{ pF}$ $R_L=400\ \Omega$			40	ns
von Eingang B <sub>2</sub> zum Ausgang $\Sigma_2$	$t_{pd0}$				35	ns
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_2$	$t_{pd0}$			12	42	ns
von Eingang C <sub>e</sub> zum Ausgang C <sub>2</sub>	$t_{pd0}$				19	ns
Ausschaltverzögerungszeit von Eingang C <sub>e</sub> zum Ausgang $\Sigma_1$	$t_{pd1}$				34	ns
von Eingang B <sub>2</sub> zum Ausgang $\Sigma_1$	$t_{pd1}$				40	ns
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_2$	$t_{pd1}$			17	38	ns
von Eingang C <sub>e</sub> zum Ausgang C <sub>2</sub>	$t_{pd1}$				27	ns

**Logische Daten**

Ausgangsfächer C <sub>2</sub>	$F_a$		5
Ausgangsfächer $\Sigma_1$ oder $\Sigma_2$	$F_a$		10



Anschlußanordnung  
Ansicht von oben

## Logisches Verhalten

Eingänge				Ausgänge					
A <sub>1</sub>	B <sub>1</sub>	A <sub>2</sub>	B <sub>2</sub>	Σ <sub>1</sub>	Σ <sub>2</sub>	C <sub>2</sub>	Σ <sub>1</sub>	Σ <sub>2</sub>	C <sub>2</sub>
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1	0
1	1	0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	0	0	1	1	0	1
1	1	1	0	0	0	1	0	0	1
0	0	0	1	0	1	0	1	1	0
1	0	0	1	1	1	0	0	0	1
0	1	0	1	1	1	0	0	0	1
1	1	0	1	0	0	1	1	0	1
0	0	1	1	0	0	1	1	0	1
1	0	1	1	1	0	1	0	1	1
0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1

### 4-Bit-Volladdierer (vorläufige Daten)

Der Baustein FLH 241 bzw. FLH 245 ist ein 4 × 2-Bit-Volladdierer. Die Summenausgänge sind für jedes Bit vorhanden, wogegen der resultierende Übertrag C<sub>4</sub> erst beim 4. Bit zur Verfügung steht.

#### Statische Kenndaten

im Temperaturbereich 1 und 5

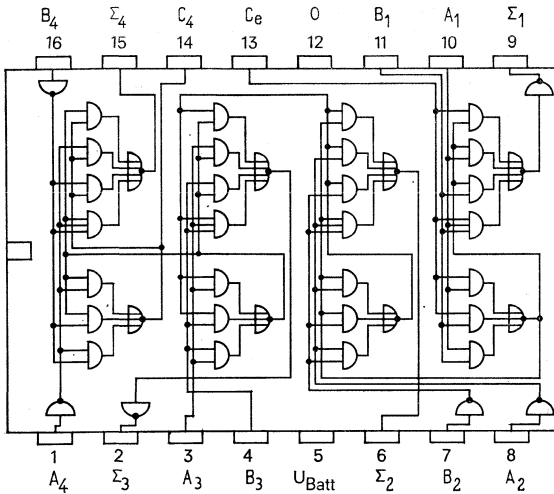
		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$		2,0			V
Eingangsspannung, log. 0	$U_{e0}$				0,8	V
Ausgangsspannung, log. 1	$U_{a1}$		2,4			V
Ausgangsspannung, log. 0	$U_{a0}$				0,4	V
Eingangsstrom, log. 0, an A <sub>1</sub> , A <sub>3</sub> , B <sub>1</sub> , B <sub>3</sub> oder C <sub>e</sub>	$I_{e0}$				-6,4	mA
Eingangsstrom, log. 0, an A <sub>2</sub> , A <sub>4</sub> , B <sub>2</sub> oder B <sub>4</sub>	$I_{e0}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 1, an A <sub>1</sub> , A <sub>3</sub> , B <sub>1</sub> , B <sub>3</sub> oder C <sub>e</sub>	$I_{e1}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,25\text{ V}$ $U_{e1}=5,5\text{ V}$   $U_{Batt}=5,25\text{ V}$			160	μA
Eingangsstrom, log. 1, an A <sub>2</sub> , A <sub>4</sub> , B <sub>2</sub> oder B <sub>4</sub>	$I_{e1}$				40	μA
Kurzschlußausgangsstrom, an $\Sigma_1, \Sigma_2, \Sigma_3$ oder $\Sigma_4$ , pro Ausgang	$I_{e}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,25\text{ V}$ $U_{e1}=5,5\text{ V}$   $U_{Batt}=5,25\text{ V}$			1,0	mA
Kurzschlußausgangsstrom an C <sub>4</sub>	$I_{e}$				1,0	mA
Stromaufnahme	$I_{aK}$	$U_{Batt}=5,25\text{ V}$	-18		-55	mA
	$I_{aK}$		-18		-70	mA
	$I_{Batt}$			78	128	mA

#### Schaltzeiten bei $U_{Batt}=5,0\text{ V}$ , $T_U=25\text{ °C}$

Einschaltverzögerungszeit		$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$	22								
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_1$	$t_{pd0}$						40	ns			
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_2$	$t_{pd0}$						42	ns			
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_3$	$t_{pd0}$						60	ns			
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_4$	$t_{pd0}$						55	ns			
von Eingang C <sub>e</sub> zum Ausgang C <sub>4</sub>	$t_{pd0}$						32	ns			
von Eingang A <sub>2</sub> oder B <sub>2</sub> zum Ausgang $\Sigma_2$	$t_{pd0}$						35	ns			
von Eingang A <sub>4</sub> oder B <sub>4</sub> zum Ausgang $\Sigma_4$	$t_{pd0}$						35	ns			
Ausschaltverzögerungszeit							$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$	35			
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_1$	$t_{pd1}$										
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_2$	$t_{pd1}$	38	ns								
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_3$	$t_{pd1}$	50	ns								
von Eingang C <sub>e</sub> zum Ausgang $\Sigma_4$	$t_{pd1}$	55	ns								
von Eingang C <sub>e</sub> zum Ausgang C <sub>4</sub>	$t_{pd1}$	48	ns								
von Eingang A <sub>2</sub> oder B <sub>2</sub> zum Ausgang $\Sigma_2$	$t_{pd1}$	40	ns								
von Eingang A <sub>4</sub> oder B <sub>4</sub> zum Ausgang $\Sigma_4$	$t_{pd1}$	40	ns								

#### Logische Daten

Ausgangsfächer C <sub>4</sub>	$F_a$	5
Ausgangsfächer $\Sigma_1, \Sigma_2, \Sigma_3$ oder $\Sigma_4$	$F_a$	10



Anschlußanordnung  
Ansicht von oben

## Logisches Verhalten

Eingänge				Ausgänge					
$A_1 / A_3$	$B_1 / B_3$	$A_2 / A_4$	$B_2 / B_4$	$C_e=0 / C_2=0$			$C_e=1 / C_2=1$		
				$\Sigma_1 / \Sigma_3$	$\Sigma_2 / \Sigma_4$	$C_2 / C_4$	$\Sigma_1 / \Sigma_3$	$\Sigma_2 / \Sigma_4$	$C_2 / C_4$
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1	0
1	1	0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	0	0	1	1	0	1
1	1	1	0	0	0	1	1	0	1
0	0	0	1	1	1	0	0	0	1
1	0	0	1	1	1	0	0	0	1
0	1	0	1	1	1	0	0	0	1
1	1	0	1	0	0	1	1	0	1
0	0	1	1	0	0	1	1	0	1
1	0	1	1	1	0	1	0	1	1
0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1

### Anmerkung:

Die Eingangsbedingungen an  $A_1, A_2, B_1, B_2$  und  $C_e$  werden zur Bestimmung der Ausgänge  $\Sigma_1$  und  $\Sigma_2$  und des internen Übertrags  $C_2$  benutzt.

Die Bedingungen an  $C_2, A_3, B_3, A_4$  und  $B_4$  bestimmen die Ausgänge  $\Sigma_3, \Sigma_4$  und  $C_4$ .

## 2 NAND-Glieder und 4 Inverter (vorläufige Daten)

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$		4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{\text{Batt}}=4,75 \text{ V}$	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{\text{Batt}}=4,75 \text{ V}$			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e0}=0,8 \text{ V}$ $I_L=-400 \mu\text{A}$	2,4	3,3		V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2,0 \text{ V}, I_L=16 \text{ mA}$		0,22	0,4	V
Statische Störsicherheit	$U_{\text{ss}}$		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}$			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_e=5,5 \text{ V} \mid U_{\text{Batt}}$ $=5,25 \text{ V}$			1,0	$\text{mA}$
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{\text{Batt}}=5,25 \text{ V}$ $U_{e0}=0,4 \text{ V}$	-18		-55	$\text{mA}$
Stromaufnahme, log. 1, pro Glied	$I_{\text{Batt1}}$	$U_{\text{Batt}}=5,25 \text{ V}$ $U_e=0 \text{ V}$		1,0		$\text{mA}$
Stromaufnahme, log. 0, pro Glied	$I_{\text{Batt0}}$	$U_{\text{Batt}}=5,25 \text{ V}$ $U_e=5,0 \text{ V}$		3,0		$\text{mA}$

Schaltzeiten bei  $U_{\text{Batt}}=5,0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15 \text{ pF}$ $R_L=400 \Omega$		8	15	ns
Ausschaltverzögerungszeit	$t_{pd1}$					

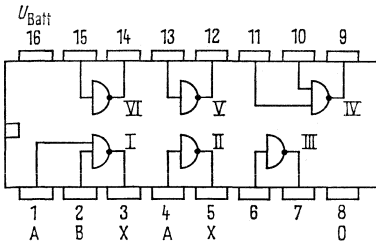
### Logische Daten

Ausgangsfächer pro Ausgang	$F_a$		10	
Eingangsfächer Glied I und IV	$F_e$		2	
Eingangsfächer Glied II, III, V und VI	$F_e$		1	

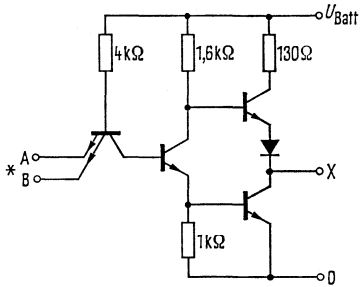
Logische Funktion Glied I und IV  $X=\overline{A \wedge B}$

Logische Funktion Glied II, III, V und VI  $X=\overline{A}$

# FLH 251, FLH 255



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

\*) Nur bei Glied I und IV

## 6 Inverter mit offenem Kollektor (vorläufige Daten)

Die Bausteine FLH 271 und 275 enthalten 6 Inverter, die für Phantom-UND -Verknüpfungen geeignet sind (wired-AND). Bei Phantom-UND -Verknüpfungen gelten die gleichen Formeln und Tabellen wie für FLH 201.

### Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$	$U_{\text{Batt}}=4,75 \text{ V}$ $U_{e1}=2,0 \text{ V}, I_L=16 \text{ mA}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$		2,0			V
Eingangsspannung, log. 0	$U_{e0}$				0,8	V
Ausgangsspannung, log. 0	$U_{a0}$				0,4	V
Statische Störsicherheit	$U_{\text{ss}}$		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{e1}=2,4 \text{ V} \mid U_{\text{Batt}}=5,25 \text{ V}$ $U_e=5,5 \text{ V} \mid U_{\text{Batt}}=5,25 \text{ V}$ $U_{\text{Batt}}=5,25 \text{ V}$			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_e$				1,0	$\text{mA}$
Ausgangssperrstrom, log. 1	$I_{a1}$				-1,6	$\text{mA}$
Stromaufnahme, log. 1, gesamt	$I_{\text{Batt}1}$	$U_{\text{Batt}}=4,75 \text{ V}$ $U_a=5,5 \text{ V}, U_{e0}=0,8 \text{ V}$ $U_{\text{Batt}}=5,0 \text{ V}$ $U_e=0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$		6	12	$\text{mA}$
Stromaufnahme, log. 0, gesamt	$I_{\text{Batt}0}$			18	33	$\text{mA}$

Schaltzeiten bei  $U_{\text{Batt}}=5,0 \text{ V}, T_U=25 \text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{\text{pd}0}$	$R_L=400 \Omega \mid C_1=15 \text{ pF}$ $R_L=4 \text{ k}\Omega$	8	15	ns
Ausschaltverzögerungszeit	$t_{\text{pd}1}$		40	55	ns

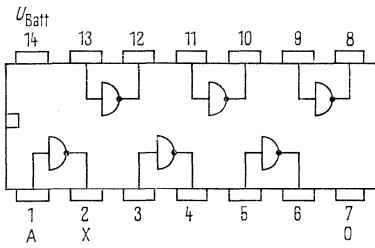
### Logische Daten pro Glied

Ausgangsfächer	$F_a$	10
Eingangsfächer	$F_e$	1

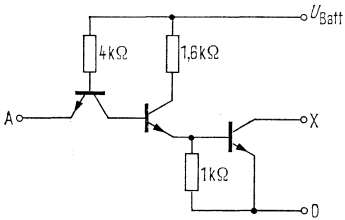
Logische Funktion  $X = \overline{A}$



# FLH 271, FLH 275



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

**BCD-Dekoder (vorläufige Daten)**

Der Baustein FLH 281 bzw. FLH 285 dekodiert binäre Dezimalzahlen. Die Eingänge des FLH 281 sind direkt an die Ausgänge des Dezimalzählers FLJ 161 anschließbar, wobei A mit Q1, B mit Q2, C mit Q3 und D mit Q4 verbunden wird.

**Statische Kenndaten**

im Temperaturbereich 1 und 5

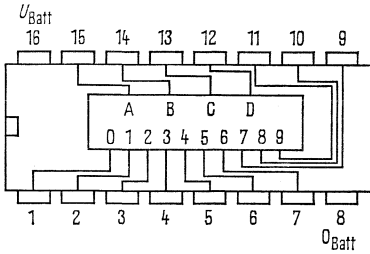
		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, U_{e0}=0,8\text{ V}$ $I_L=-400\ \mu\text{A}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$		2,0			V
Eingangsspannung, log. 0	$U_{e0}$				0,8	V
Ausgangsspannung, log. 1	$U_{a1}$		2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}, U_{e0}=0,8\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	$U_{ss}$		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$ $U_e=5,5\text{ V} \mid =5,25\text{ V}$			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_e$				1,0	mA
Kurzschlußausgangsstrom pro Ausgang	$I_{e0}$				-1,6	mA
Stromaufnahme	$I_{aK}$	$U_{Batt}=5,25\text{ V}$ $U_a=0\text{ V}$	-18		-55	mA
	$I_{Batt}$	$U_{Batt}=5,25\text{ V}$		28	56	mA

**Schaltzeiten bei  $U_{Batt}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$**

Einschaltverzögerungszeit für zwei Glieder	$t_{pd02}$	$R_L=400\ \Omega$ $C_1=15\text{ pF}$	10	22	30	ns	
Einschaltverzögerungszeit für drei Glieder	$t_{pd03}$				23	35	ns
Ausschaltverzögerungszeit für zwei Glieder	$t_{pd12}$		10	17	25	ns	
Ausschaltverzögerungszeit für drei Glieder	$t_{pd13}$				26	35	ns

**Logische Daten**

Ausgangsfächer	$F_a$				10	
----------------	-------	--	--	--	----	--



Anschlußanordnung  
Ansicht von oben

## Logisches Verhalten

Ausgang*)	0	1	2	3	4	5	6	7	8	9
Eingang A	0	1	0	1	0	1	0	1	0	1
Eingang B	0	0	1	1	0	0	1	1	0	0
Eingang C	0	0	0	0	1	1	1	1	0	0
Eingang D	0	0	0	0	0	0	0	0	1	1

\*) Die jeweils angegebenen Ausgänge befinden sich im durchgeschalteten Zustand.

### Vier NAND-Glieder mit je zwei Eingängen (vorläufige Daten)

Die Bausteine FLH 291 und FLH 295 enthalten 4 TTL-NAND-Glieder, die für Phantom-UND-Verknüpfungen geeignet sind (wired-AND). Bei Phantom-UND-Verknüpfungen gelten die gleichen Formeln und Tabellen wie für FLH 201.

#### Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$		4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2,0\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	$U_{ss}$		0,4	1,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_e=5,5\text{ V} \mid U_{Batt}$ $U_{Batt}=5,25\text{ V}$			1,0	mA
Ausgangssperrstrom, log. 1	$I_{a1}$	$U_{e0}=0,4\text{ V}$ $U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}, U_a=5,5\text{ V}$			250	$\mu\text{A}$
Stromaufnahme, log. 1, gesamt	$I_{Batt1}$	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$		4,0	8,0	mA
Stromaufnahme, log. 0, gesamt	$I_{Batt0}$	$U_{Batt}=5,25\text{ V}$ $U_e=5,0\text{ V}$		12	22	mA

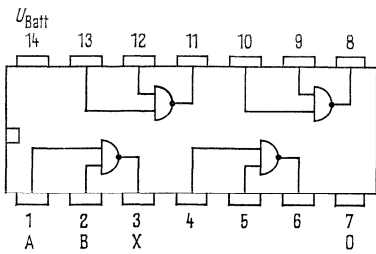
#### Schaltzeiten bei $U_{Batt}=5,0\text{ V}, T_U=25\text{ }^\circ\text{C}$

Einschaltverzögerungszeit	$t_{pd0}$	$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$		8	15	ns
Ausschaltverzögerungszeit	$t_{pd1}$	$C_1=15\text{ pF}$ $R_L=4,0\text{ k}\Omega$		35	45	ns

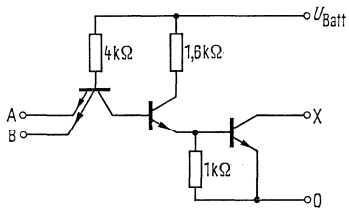
#### Logische Daten pro Glied

Ausgangsfächer	$F_a$				10	
Eingangsfächer	$F_e$				2	

Logische Funktion  $X = \overline{A \wedge B}$



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

**JK-Flipflop mit je drei Eingängen**

NICHT FÜR NEUENTWICKLUNG

Betriebsspannung	$U_{Batt}$	typ. 5	V
Logische Spannungspegel			
log. 0	$U_{a0}$	typ. 0,23	V
log. 1	$U_{a1}$	typ. 3,30	V
Statische Störsicherheit	$U_{ss}$	typ. 1,0	V
Mittlere Stromaufnahme	$I_{Batt}$	typ. 8	mA
Ausgangsfächer	$F_a$	max. 10	
Mittlere Verzögerungszeit	$t_{pd}$	typ. 35	ns

Logisches Verhalten	$t_n$		$t_{n+1}$
	J	K	Q
	0	0	$Q_n$
	0	1	0
	1	0	1
	1	1	$\bar{Q}_n$

Anmerkungen

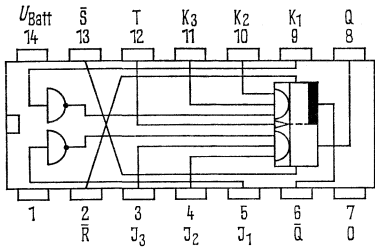
$J = \bar{J}_1 \wedge J_2 \wedge J_3$

$K = \bar{K}_1 \wedge K_2 \wedge K_3$

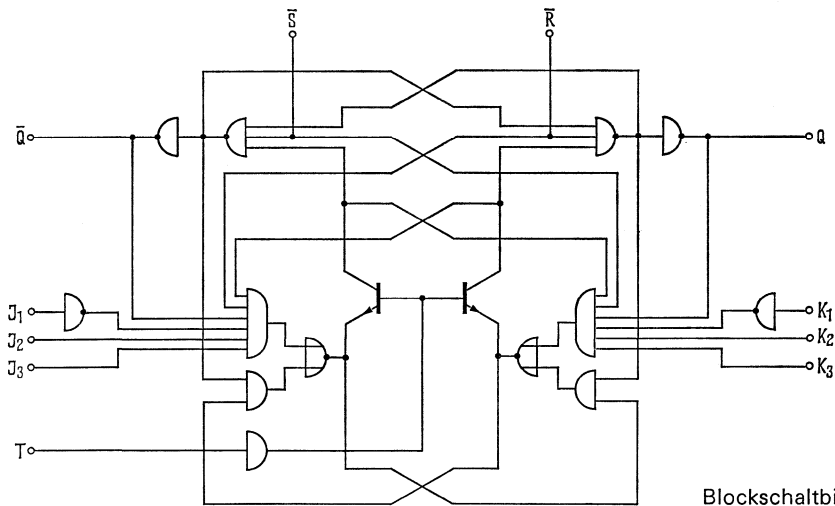
$t_n$  = Zeitpunkt vor dem Taktimpuls

$t_{n+1}$  = Zeitpunkt nach dem Taktimpuls

Für Neuentwicklungen empfehlen wir die Typen FLJ 111, FLJ 121 und FLJ 131.



Anschlußanordnung  
Ansicht von oben



Blockschaltbild

$\bar{S}$  = Stelleingang  
 $R$  = Rückstelleingang  
 $T$  = Takteingang

NICHT FÜR NEUENTWICKLUNG

## JK-Master-Slave-Flipflop

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	24	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$			2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$I_L=-800\ \mu\text{A} \quad U_{Batt}$ $I_L=16\ \text{mA} \quad =4,75\text{ V}$	24	2,4	1,0	0,8	V
Ausgangsspannung, log. 1	$U_{a1}$					V	
Ausgangsspannung, log. 0	$U_{a0}$	$U_{e1}=2,4\text{ V} \quad U_{Batt}$ $U_{e0}=5,5\text{ V} \quad =5,25\text{ V}$	25	0,4	1,0	0,4	V
Statische Störsicherheit	$U_{ss}$					V	
Eingangsstrom, log. 1, an J1, J2, J3, K1, K2, K3	$I_{e1}$	$U_{e1}=2,4\text{ V} \quad U_{Batt}$ $U_{e0}=5,5\text{ V} \quad =5,25\text{ V}$	25	0,4	1,0	40	$\mu\text{A}$
Eingangsstrom, log. 1, an $\bar{R}$ , $\bar{S}$	$I_e$					$\mu\text{A}$	
Eingangsstrom, an $\bar{R}$ , $\bar{S}$ , T	$I_{e1}$	$U_{e1}=2,4\text{ V} \quad U_{Batt}$ $U_{e0}=5,5\text{ V} \quad =5,25\text{ V}$	25	0,4	1,0	80	$\mu\text{A}$
Eingangsstrom, log. 0, an J1, J2, J3, K1, K2, K3	$I_e$					$\mu\text{A}$	
Eingangsstrom, log. 0, an $\bar{S}$ , $\bar{R}$ oder T	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	26	-18	10	-1,6	mA
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$					mA	
Stromaufnahme	$I_{Batt}$	$U_{Batt}=5,25\text{ V} \quad U_e$ $U_{Batt}=7\text{ V} \quad =4,5\text{ V}$	25	-18	10	20	mA
						33	mA

Schaltzeiten bei  $U_{Batt}=5\text{ V}$ ,  $T_U=25\text{ }^\circ\text{C}$

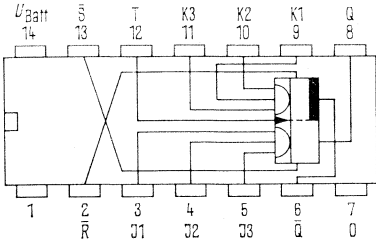
Taktimpulsdauer	$t_{pT}$		29	40			ns
Stellimpulsdauer	$t_{pS}$			25			ns
Rückstellimpulsdauer	$t_{pR}$		29	25			ns
Vorbereitungszeit	$t_V$			$t_{pT}$			
Haltezeit	$t_H$		29	0			
Maximale Zählfrequenz	$f_Z$			10			MHz
Einschaltverzögerungszeit <sup>1)</sup>	$t_{pd0T}$	$C_1=15\text{ pF}, F_a=10$	29	10		50	ns
Ausschaltverzögerungszeit <sup>1)</sup>	$t_{pd1T}$			10		50	ns
Mittlere Verzögerungszeit <sup>1)</sup>	$t_{pdT}$	$C_1=15\text{ pF}, F_a=10$	30		30		ns
Einschaltverzögerungszeit <sup>2)</sup>	$t_{pd0R,S}$			30		50	ns
Ausschaltverzögerungszeit <sup>2)</sup>	$t_{pd1R,S}$	$C_1=15\text{ pF}, F_a=1$	29,30		25		ns
Mittlere Verzögerungszeit <sup>2)</sup>	$t_{pdR,S}$			4			ns
Abfallzeit von log. 1 auf log. 0	$t_f$						ns

### Logische Daten

Ausgangsfächer, log. 1	$F_{a1}$		20
pro Ausgang, log. 0	$F_{a0}$		10

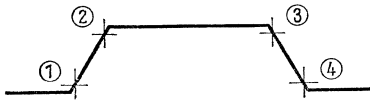
<sup>1)</sup> Takteingang      <sup>2)</sup> Stell-, Rückstelleingang



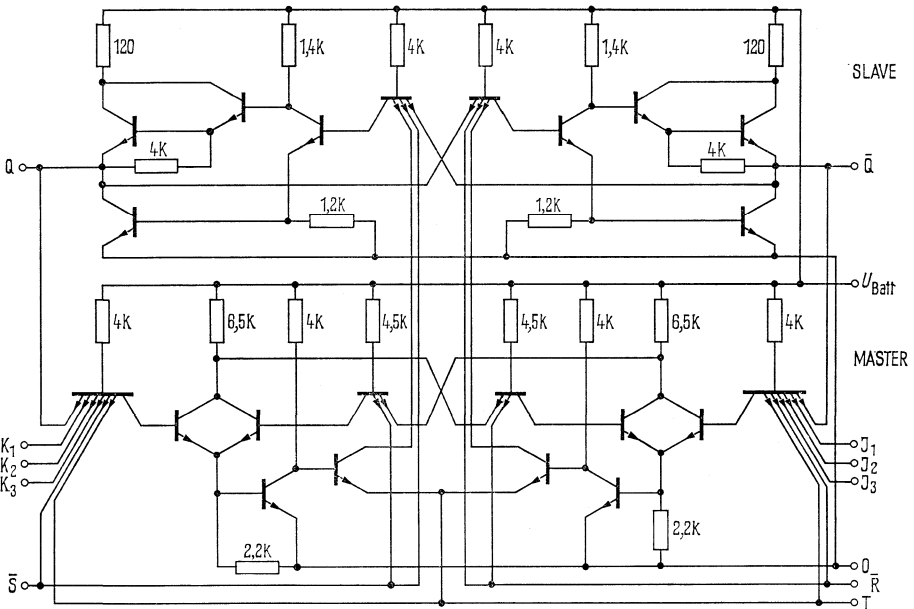


Anschlußanordnung  
Ansicht von oben

### Taktimpuls



- (1) Slave v. Master trennen
- (2) Signal v. J und K in Master eingeben
- (3) J- und K-Eingänge sperren
- (4) Information von Master nach Slave übertragen



### Schaltschema

$\bar{R}$  = Rücksteleingang,  $\bar{S}$  = Stelleingang, T = Takteingang

### Logisches Verhalten

	$t_n$		$t_{n+1}$
	J	K	Q
0	0	0	$Q_n$
0	1	0	0
1	0	1	1
1	1	1	$\bar{Q}_n$

### Anmerkungen

$$J = J_1 \wedge J_2 \wedge J_3$$

$$K = K_1 \wedge K_2 \wedge K_3$$

$t_n$  = Zeitpunkt vor dem Taktimpuls

$t_{n+1}$  = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an  $\bar{R}$  bringt Q auf log. 0 – Niedrige Spannung an  $\bar{S}$  bringt Q auf log. 1 –  $\bar{R}$  und  $\bar{S}$  arbeiten unabhängig von T.

**Zwei JK-Master-Slave-Flipflop**

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	24	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$			2,0			
Eingangsspannung, log. 0	$U_{e0}$	$I_L=-800\ \mu\text{A} \quad U_{Batt}$ $I_L=16\ \text{mA} \quad =4,75\ \text{V}$	24	2,4	1,0	0,4	V
Ausgangsspannung, log. 1	$U_{a1}$						
Ausgangsspannung, log. 0	$U_{a0}$	$U_{e1}=2,4\ \text{V} \quad U_{Batt}$ $U_e=5,5\ \text{V} \quad =5,25\ \text{V}$	25	0,4	40	$\mu\text{A}$	
Statische Störsicherheit	$U_{ss}$						
Eingangsstrom, log. 1, an J oder K	$I_{e1}$	$U_{e1}=2,4\ \text{V} \quad U_{Batt}$ $U_e=5,5\ \text{V} \quad =5,25\ \text{V}$	25	25	200	$\mu\text{A}$	
Eingangsstrom, log. 1, an $\bar{R}$ oder T	$I_{e1}$						
Eingangsstrom an $\bar{R}$ oder T	$I_e$	$U_{e1}=2,4\ \text{V} \quad U_{Batt}$ $U_e=5,5\ \text{V} \quad =5,25\ \text{V}$	25	25	80	$\mu\text{A}$	
Eingangsstrom, log. 0, an J, K an $\bar{R}$ oder T	$I_{e0}$						
Eingangsstrom, log. 0, an J, K an $\bar{R}$ oder T	$I_{e0}$	$U_{Batt}=5,25\ \text{V}$ $U_{e0}=0,4\ \text{V}$	26	-1,6	-3,2	mA	
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$						
Stromaufnahme pro Flipflop	$I_{Batt}$	$U_{Batt}=5,25\ \text{V} \quad U_e$ $U_{Batt}=7\ \text{V} \quad =4,5\ \text{V}$	25	-18	-57	mA	

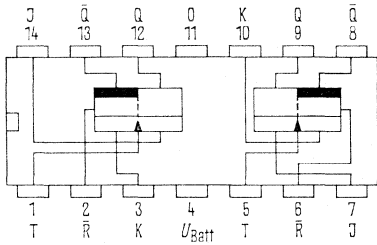
Schaltzeiten bei  $U_{Batt}=5\ \text{V}$ ,  $T_U=25\ ^\circ\text{C}$

Taktimpulsdauer	$t_{pT}$	$C_1=15\ \text{pF}, F_a=10$	29	40	30	50	ns
Rückstellimpulsdauer	$t_{pR}$			25			
Vorbereitungszeit	$t_V$	$C_1=15\ \text{pF}, F_a=10$	29	$t_{pT}$	30	50	ns
Haltezeit	$t_H$			0			
Maximale Zählfrequenz	$f_Z$	$C_1=15\ \text{pF}, F_a=10$	29	10	25	50	MHz
Einschaltverzögerungszeit <sup>1)</sup>	$t_{pd0T}$			10			
Ausschaltverzögerungszeit <sup>1)</sup>	$t_{pd1T}$	$C_1=15\ \text{pF}, F_a=10$	30	30	25	50	ns
Mittlere Verzögerungszeit <sup>1)</sup>	$t_{pdT}$						
Einschaltverzögerungszeit <sup>2)</sup>	$t_{pd0R}$	$C_1=15\ \text{pF}, F_a=10$	30	30	25	50	ns
Ausschaltverzögerungszeit <sup>2)</sup>	$t_{pd1R}$						
Mittlere Verzögerungszeit <sup>2)</sup>	$t_{pdR}$	$C_1=15\ \text{pF}, F_a=10$	29,30	4	25	50	ns
Abfallzeit von log. 1 auf log. 0	$t_f$						

**Logische Daten**

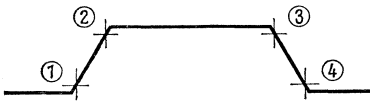
Ausgangsfächer, log. 1	$F_{a1}$	20
pro Ausgang, log. 0	$F_{a0}$	10

1) Takteingang      2) Rückstelleingang

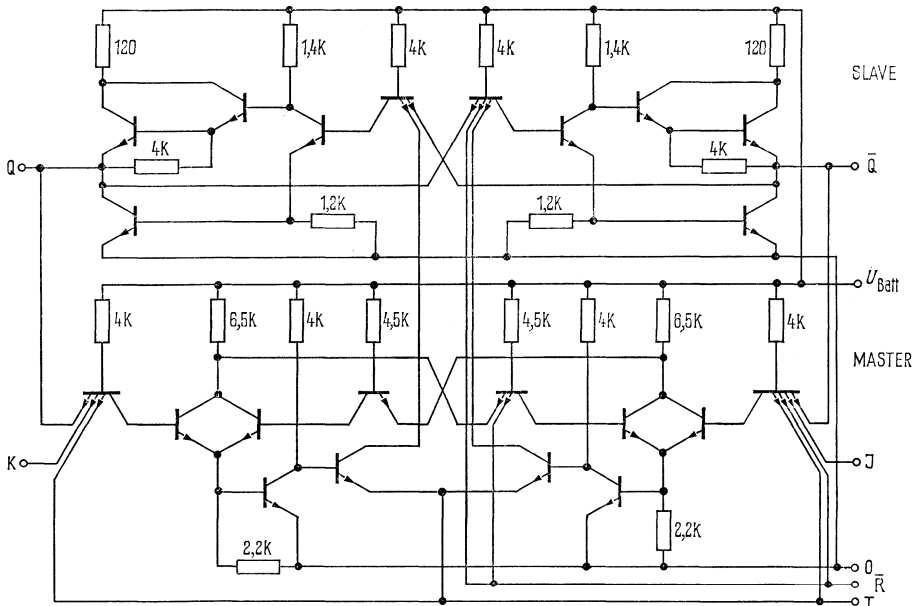


Anschlußanordnung  
Ansicht von oben

Taktimpuls



- (1) Slave v. Master trennen
- (2) Signal v. J und K in Master eingeben
- (3) J- und K-Eingänge sperren
- (4) Information von Master nach Slave übertragen



Schaltschema (ein Flipflop)

$\bar{R}$  = Rückstelleingang, T = Takteingang

Logisches Verhalten  
(jedes Flipflop)

	$t_n$		$t_{n+1}$
	J	K	Q
0	0	0	$Q_n$
0	1	1	0
1	1	0	1
1	1	1	$\bar{Q}_n$

Anmerkungen

$t_n$  = Zeitpunkt vor dem Taktimpuls  
 $t_{n+1}$  = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an  $\bar{R}$  bringt Q auf log.0 –  $\bar{R}$  arbeitet unabhängig von T.

## Zwei JK-Master-Slave-Flipflop

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	24	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$			2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$I_L=-800\ \mu\text{A} \quad U_{Batt}$ $I_L=16\ \text{mA} \quad =4,75\ \text{V}$	24	2,4	1,0	0,8	V
Ausgangsspannung, log. 1	$U_{a1}$					V	
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}$ $=5,25\ \text{V}$	25	0,4	1,0	0,4	V
Statische Störsicherheit	$U_{ss}$					V	
Eingangsstrom, log. 1, an J oder K	$I_{e1}$	$U_{e1}=2,4\ \text{V}$	25	25	25	40	$\mu\text{A}$
Eingangsstrom, log. 1, an $\bar{R}$ , $\bar{S}$	$I_e$	$U_e=5,5\ \text{V}$	25			200	$\mu\text{A}$
Eingangsstrom an $\bar{R}$ , $\bar{S}$ oder T	$I_{e1}$	$U_{e1}=2,4\ \text{V}$	25	25	25	80	$\mu\text{A}$
Eingangsstrom, log. 0, an J, K	$I_e$	$U_e=5,5\ \text{V}$	25			400	$\mu\text{A}$
Eingangsstrom an $\bar{R}$ , $\bar{S}$ oder T	$I_{e0}$	$U_{Batt}=5,25\ \text{V}$	26	26	26	-1,6	mA
Eingangsstrom an $\bar{R}$ , $\bar{S}$ oder T	$I_{e0}$	$U_{e0}=0,4\ \text{V}$	26			-3,2	mA
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{Batt}=5,25\ \text{V}$	27	-18	10	-57	mA
Stromaufnahme pro Flipflop	$I_{Batt}$	$U_{Batt}=5,25\ \text{V} \quad U_e$ $U_{Batt}=7,0\ \text{V} \quad =4,5\ \text{V}$	25	25		20	33

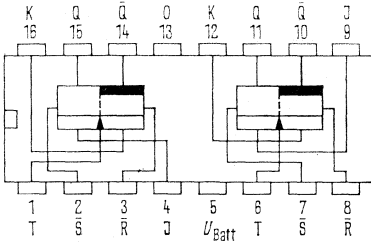
Schaltzeiten bei  $U_{Batt}=5\ \text{V}$ ,  $T_U=25\ ^\circ\text{C}$

Taktimpulsdauer	$t_{pT}$	$C_1=15\ \text{pF}, F_a=10$	29	$t_{pT}$	40	50	50	ns	
Stellimpulsdauer	$t_{pS}$							25	ns
Rückstellimpulsdauer	$t_{pR}$							25	ns
Vorbereitungszeit	$t_V$	$C_1=15\ \text{pF}, F_a=10$	29	10	10	30	50	MHz	
Haltezeit	$t_H$							0	ns
Maximale Zählfrequenz	$f_Z$	$C_1=15\ \text{pF}, F_a=10$	30	30	30	25	50	ns	
Einschaltverzögerungszeit <sup>1)</sup>	$t_{pd0T}$							29	ns
Ausschaltverzögerungszeit <sup>1)</sup>	$t_{pd1T}$	$C_1=15\ \text{pF}, F_a=10$	30	30	30	25	50	ns	
Mittlere Verzögerungszeit <sup>1)</sup>	$t_{pdT}$							ns	
Einschaltverzögerungszeit <sup>2)</sup>	$t_{pd0R,S}$	$C_1=15\ \text{pF}, F_a=10$	30	30	30	25	50	ns	
Ausschaltverzögerungszeit <sup>2)</sup>	$t_{pd1R,S}$							ns	
Mittlere Verzögerungszeit <sup>2)</sup>	$t_{pdR,S}$	$C_1=15\ \text{pF}, F_a=10$	29,30	4	4	4	4	ns	
Abfallzeit von log. 1 auf log. 0	$t_f$							ns	

### Logische Daten

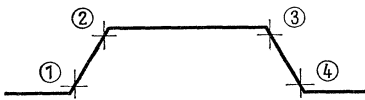
Ausgangsfächer, log. 1	$F_{a1}$	20
pro Ausgang, log. 0	$F_{a0}$	10

1) Takteingang      2) Stelleingang bzw. Rückstelleingang

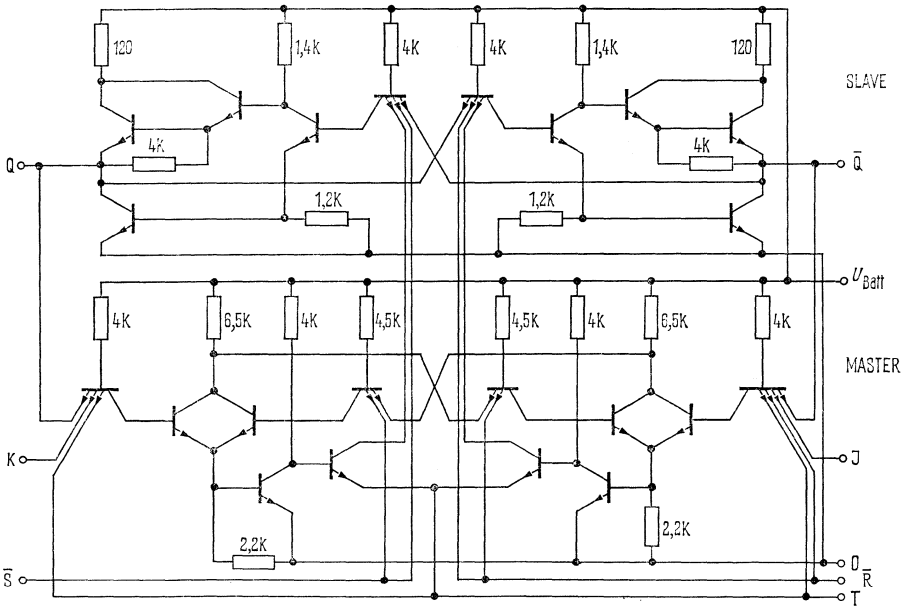


Anschlußanordnung  
Ansicht von oben

Taktimpuls



- (1) Slave von Master trennen
- (2) Signal von J und K in Master eingeben
- (3) J- und K-Eingänge sperren
- (4) Information von Master nach Slave übertragen



Schaltschema (ein Flipflop)

$\bar{R}$  = Rückstelleingang,  $\bar{S}$  = Stelleingang, T = Takteingang

Logisches Verhalten  
(jedes Flipflop)

$t_n$		$t_{n+1}$
J	K	Q
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\bar{Q}_n$

$t_n$  = Zeitpunkt vor dem Taktimpuls  
 $t_{n+1}$  = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an  $\bar{R}$  bringt Q auf log. 0  
 – Niedrige Spannung an  $\bar{S}$  bringt Q auf log. 1 – R und S arbeiten unabhängig von T

# FLJ 141, Q67000–J9; FLJ 145, Q67000–J83

## Zwei D-Flipflop (vorläufige Daten)

Das Flipflop FLJ 141 bzw. FLJ 145 besitzt taktunabhängige Stell- und Rücksteleingänge. Die Weiterleitung einer Information am D-Eingang zum Q-Ausgang erfolgt während der positiven Taktflanke, sobald der Schwellwert des Eingangstransistors erreicht ist. Anschließend ist der D-Eingang wieder gesperrt.

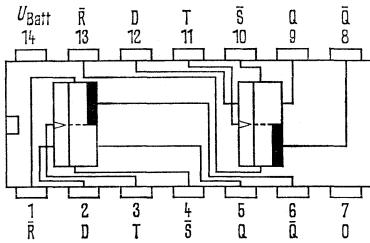
Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	31	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$			2,0			V
Eingangsspannung, log. 0	$U_{e0}$					0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$I_L=-400\ \mu\text{A}$   $U_{Batt}=4,75\text{ V}$ $I_L=16\ \text{mA}$	31	2,4	3,5		V
Ausgangsspannung, log. 0	$U_{a0}$			0,22	0,4	V	
Statische Störsicherheit	$U_{ss}$			0,4	1,0		V
Eingangsstrom, log. 1, an D	$I_{e1}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,25\text{ V}$ $U_e=5,5\text{ V}$	32			40	$\mu\text{A}$
	$I_e$					1	$\text{mA}$
Eingangsstrom, log. 1, an $\bar{D}$	$I_{e1}$					80	$\mu\text{A}$
$\bar{S}$ oder T	$I_e$					1	$\text{mA}$
Eingangsstrom, log. 1, an $\bar{R}$	$I_{e1}$					120	$\mu\text{A}$
	$I_e$					1	$\text{mA}$
Eingangsstrom, log. 0, an D oder $\bar{S}$	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$	33			-1,6	$\text{mA}$
an $\bar{R}$ oder T	$I_{e0}$					-3,2	$\text{mA}$
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	34	-18		-57	$\text{mA}$
Stromaufnahme pro Flipflop	$I_{Batt}$					17	30
		$U_{Batt}=5,25\text{ V}$ $U_e=5\text{ V}$					

### Schaltzeiten bei $U_{Batt}=5\text{ V}$ , $T_U=25\text{ }^\circ\text{C}$

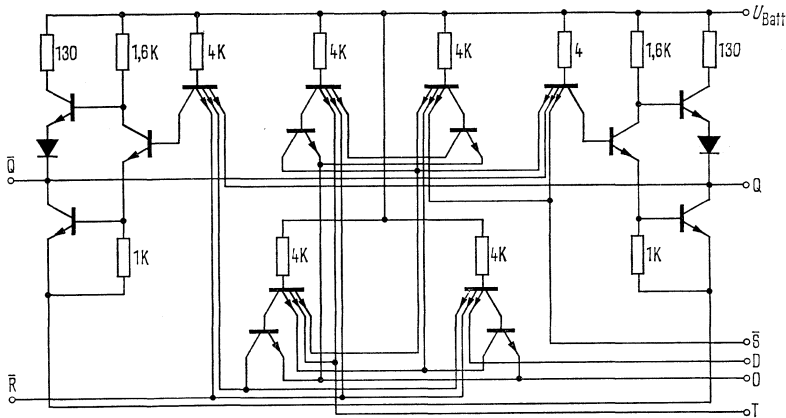
Taktimpulsdauer	$t_{pT}$			30			ns
Stellimpulsdauer	$t_{pS}$			30			ns
Rückstellimpulsdauer	$t_{pR}$			30			ns
Maximale Zählfrequenz	$f_z$		30 a	15	25		MHz
Minimale Vorbereitungszeit	$t_V$		30 a		15	20	ns
Minimale Haltezeit	$t_H$		30 a		2	5	ns
Einschaltverzögerungszeit von $\bar{R}$ oder $\bar{S}$ zum Ausgang	$t_{pd0\ R,S}$	$C_1=15\ \text{pF}$ $F_a=10$	30			40	ns
von T zum Ausgang	$t_{pd0\ T}$			30 a	10	20	40
Ausschaltverzögerungszeit von $\bar{R}$ oder $\bar{S}$ zum Ausgang	$t_{pd1\ R,S}$	$C_1=15\ \text{pF}$ $F_a=10$	30			25	ns
von T zum Ausgang	$t_{pd1\ T}$			30 a	10	14	25

### Logische Daten

Ausgangsfächer pro Ausgang	$F_a$					10	
-------------------------------	-------	--	--	--	--	----	--



Anschlußanordnung  
Ansicht von oben



Schaltschema (ein Flipflop)

D=Informationseingang,  $\bar{R}$ =Rückstelleingang,  
 $\bar{S}$ =Stelleingang, T=Takteingang

Logisches Verhalten  
(jedes Flipflop)

$t_n$	$t_{n+1}$	
	Q	$\bar{Q}$
D	Q	$\bar{Q}$
0	0	1
1	1	0

$t_n$  = Zeitpunkt vor dem Taktimpuls  
 $t_{n+1}$  = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an  $\bar{R}$  bringt Q auf log. 0 – Niedrige Spannung an  $\bar{S}$  bringt Q auf log. 1 –  $\bar{R}$  und  $\bar{S}$  arbeiten unabhängig von T.

**Vier D-Flipflop (vorläufige Daten)**

Das Flipflop FLJ 151 bzw. FLJ 155 hat zwei stabile Zustände, die mit dem Takt gesteuert werden können. Solange der Taktimpuls anliegt, wird jede am D-Eingang eingespeiste Information nach dem Q-Ausgang übertragen. Sie bleibt dort erhalten, auch wenn der Taktimpuls abfällt. Die Information wird gelöscht, wenn der Taktimpuls wiederkehrt.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit		
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$ $I_L=-800\ \mu\text{A}$   $U_{Batt}$ $I_L=16\ \text{mA}$   $=4,75\text{ V}$		4,75	5,0	5,25	V		
Eingangsspannung, log. 1	$U_{e1}$			36			2,0	V	
Eingangsspannung, log. 0	$U_{e0}$			37				0,8	V
Ausgangsspannung, log. 1	$U_{a1}$			36, 37			2,4		V
Ausgangsspannung, log. 0	$U_{a0}$		36, 37			0,4	V		
Statische Störsicherheit	$U_{ss}$			0,4	1,0		V		
Eingangsstrom, log. 1, an D	$I_{e1}$	$U_{e1}=2,4\text{ V}$	38			80	$\mu\text{A}$		
	$I_e$	$U_e=5,5\text{ V}$	38			400	$\mu\text{A}$		
Eingangsstrom, log. 1, an T	$I_{e1}$	$U_{e1}=2,4\text{ V}$	38			160	$\mu\text{A}$		
	$I_e$	$U_e=5,5\text{ V}$	38			800	$\mu\text{A}$		
Eingangsstrom, log. 0, an D	$I_{e0}$	$U_{Batt}=5,25\text{ V}$	38			-3,2	mA		
an T	$I_{e0}$	$U_{e0}=0,4\text{ V}$	38			-6,4	mA		
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{Batt}=5,25\text{ V}$	39	-18		-57	mA		
		$U_e=0\text{ V}$							
Stromaufnahme pro Flipflop	$I_{Batt}$	$U_{Batt}=5,25\text{ V}$   $U_e$ $U_{Batt}=7,0\text{ V}$   $=4,5\text{ V}$	40		10	20	mA		
			40			33	mA		

**Schaltzeiten bei  $U_{Batt}=5\text{ V}$ ,  $T_U=25\text{ }^\circ\text{C}$**

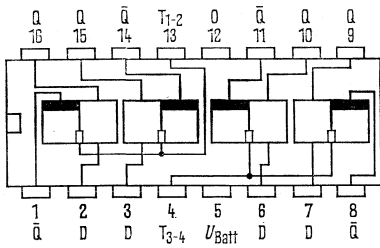
Vorbereitungszeit, log. 1, an D	$t_{V1}$				18	30	ns
Vorbereitungszeit, log. 0, an D	$t_{V0}$				24	35	ns
Haltezeit	$t_H$			0			ns
Einschaltverzögerungszeit von Eingang D zum Aus- gang Q	$t_{pd0}$	$C_1=15\ \text{pF}$ $R_L=400\ \Omega$			23	30	ns
von Eingang D zum Aus- gang $\bar{Q}$	$t_{pd0}$				14	20	ns
vom Takteingang zum Ausgang Q	$t_{pd0}$				13	20	ns
vom Takteingang zum Ausgang $\bar{Q}$	$t_{pd0}$				13	20	ns
Ausschaltverzögerungszeit von Eingang D zum Aus- gang Q	$t_{pd1}$	$C_1=15\ \text{pF}$ $R_L=400\ \Omega$			25	35	ns
von Eingang D zum Aus- gang $\bar{Q}$	$t_{pd1}$				34	40	ns
vom Takteingang zum Ausgang Q	$t_{pd1}$				25	35	ns
vom Takteingang zum Ausgang $\bar{Q}$	$t_{pd1}$				23	35	ns

**Logische Daten**

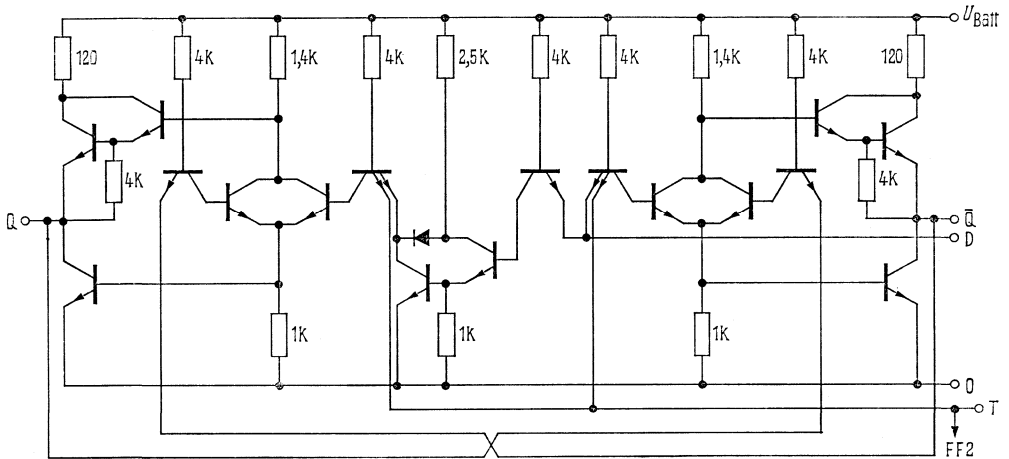
Ausgangsfächer pro Ausgang	$F_a$					10	
-------------------------------	-------	--	--	--	--	----	--



# FLJ 151, FLJ 155



Anschlußanordnung  
Ansicht von oben



Schaltschema (ein Flipflop)

D=Informationseingang, T=Takteingang

Logisches Verhalten (jedes Flipflop)

$t_n$	$t_{n+1}$	
	Q	$\bar{Q}$
D	Q	$\bar{Q}$
1	1	0
0	0	1

$t_n$  = Zeitpunkt vor dem Taktimpuls  
 $t_{n+1}$  = Zeitpunkt nach dem Taktimpuls

**Zähldekade (vorläufige Daten)**

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$		4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$I_L=-400\ \mu\text{A}$   $U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$				0,4	V
Statische Störsicherheit	$U_{ss}$		0,4	1,0		V
Eingangsstrom, log. 1, an $R_{01}, R_{02}, R_{91}, R_{92}$	$I_{e1}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,25\text{ V}$ $U_{e1}=2,4\text{ V}$			40	$\mu\text{A}$
Eingangsstrom, log. 1, an A	$I_e$				1	mA
Eingangsstrom, log. 1, an B	$I_{e1}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,25\text{ V}$ $U_{e1}=2,4\text{ V}$			80	$\mu\text{A}$
Eingangsstrom, log. 0, an $R_{01}, R_{02}, R_{91}, R_{92}$	$I_e$				1	mA
Eingangsstrom, log. 0, an A	$I_{e1}$	$U_{e1}=2,4\text{ V}$   $U_{Batt}=5,25\text{ V}$ $U_{e1}=2,4\text{ V}$			160	$\mu\text{A}$
Eingangsstrom, log. 0, an B	$I_e$				1	mA
Eingangsstrom, log. 0, an $R_{01}, R_{02}, R_{91}, R_{92}$	$I_{e0}$	$U_{Batt}=5,25\text{ V}$   $U_{e0}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 0, an A	$I_{e0}$				-3,2	mA
Eingangsstrom, log. 0, an B	$I_{e0}$			-6,4	mA	
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}$	-18		-57	mA
Stromaufnahme	$I_{Batt}$	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$		32	53	mA

**Schaltzeiten bei  $U_{Batt}=5\text{ V}$ ,  $T_U=25\text{ °C}$**

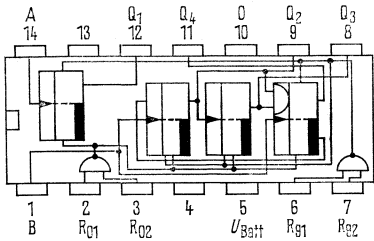
Zählimpulsdauer	$t_{pZ}$	$C_1=15\text{ pF}$ $R_L=400\ \Omega$	50			ns
Rückstellimpulsdauer	$t_{pR}$		50			ns
Maximale Zählfrequenz	$f_Z$		10	18		MHz
Einschaltverzögerungszeit <sup>1)</sup>	$t_{pd0}$			60	100	ns
Ausschaltverzögerungszeit <sup>1)</sup>	$t_{pd1}$		60	100	ns	

**Logische Daten**

Ausgangsfächer pro Ausgang	$F_a$			10	
----------------------------	-------	--	--	----	--

<sup>1)</sup> gemessen zwischen Eingang B und Ausgang Q4

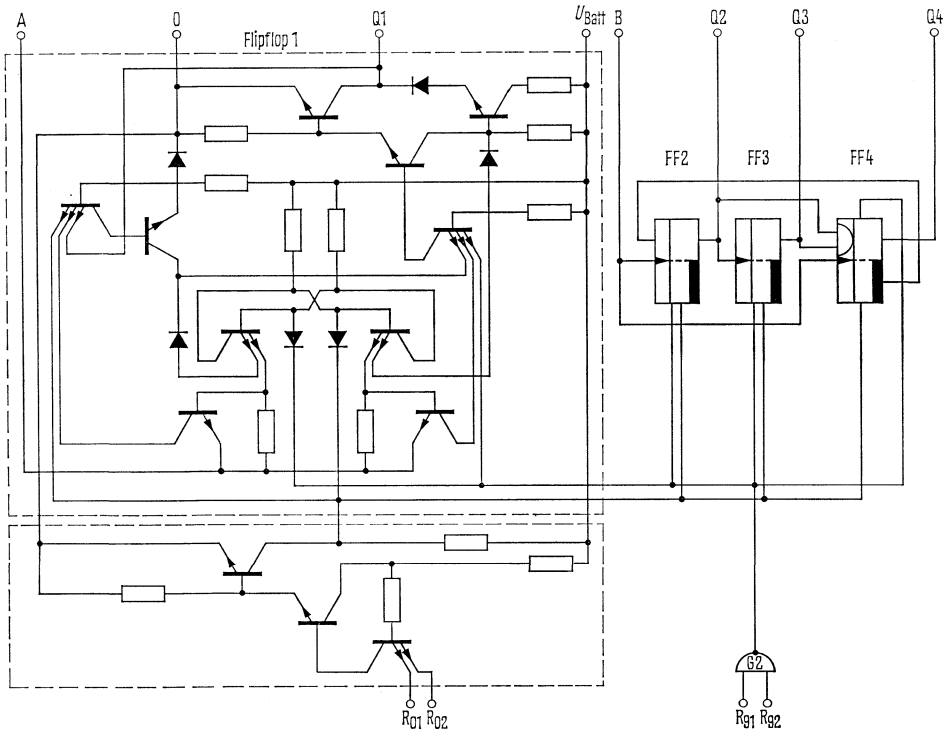
# FLJ 161, FLJ 165



Anschlußanordnung  
Ansicht von oben

Schaltschema

A, B = Zähl­e­in­gänge,  
R01 – R02 = Rück­ste­lle­in­gänge



Logisches Verhalten als Dezimalzähler  
(Q1 und B verbunden)

Zählfolge	0	1	2	3	4	5	6	7	8	9
Q1	0	1	0	1	0	1	0	1	0	1
Aus- gänge Q2	0	0	1	1	0	0	1	1	0	0
Q3	0	0	0	0	1	1	1	1	0	0
Q4	0	0	0	0	0	0	0	0	1	1

Rückstellen/Zählen (X = log. 1 oder log. 0)

Rückstelleingänge				Ausgänge			
R01	R02	R01	R02	Q4	Q3	Q2	Q1
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	zählen			
0	X	0	X	zählen			
0	X	X	0	zählen			
X	0	0	X	zählen			

## Teiler durch zwölf (vorläufige Daten)

Der Baustein FLJ 171 bzw. FLJ 175 besteht aus einem zweifachen Teiler und einem sechsfachen Teiler. Bei Verwendung als zwölffachen Teiler muß der Ausgang des zweifachen Teilers Q<sub>1</sub> mit dem Eingang des sechsfachen Teilers B verbunden werden.

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$		2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$ $I_L=-400\text{ }\mu\text{A}$			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$		2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	$U_{ss}$		0,4	1,0		V
Eingangsstrom, log. 1, an R <sub>01</sub> , R <sub>02</sub>	$I_{e1}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			40	$\mu\text{A}$
	$I_e$				1	mA
Eingangsstrom, log. 1, an A	$I_{e1}$				80	$\mu\text{A}$
	$I_e$				1	mA
Eingangsstrom, log. 1, an B	$I_{e1}$				160	$\mu\text{A}$
	$I_e$				1	mA
Eingangsstrom, log. 0, an R <sub>01</sub> , R <sub>02</sub>	$I_{e0}$				–1,6	mA
Eingangsstrom, log. 0, an A	$I_{e0}$				–3,2	mA
Eingangsstrom, log. 0, an B	$I_{e0}$				–6,4	mA
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$		–18		–57	mA
Stromaufnahme	$I_{Batt}$	$U_{Batt}=5,25\text{ V}$ $U_a=0\text{ V}$ $U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$		31	51	mA

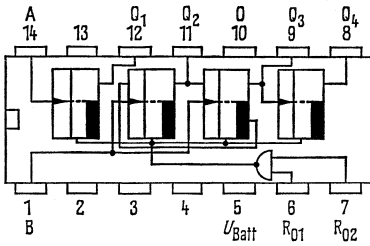
### Schaltzeiten bei $U_{Batt}=5,0\text{ V}$ , $T_U=25\text{ }^\circ\text{C}$

Zählimpulsdauer	$t_{pZ}$		50			ns	
Rückstellimpulsdauer	$t_{pR}$		50			ns	
Maximale Zählfrequenz	$f_Z$	$C_1=15\text{ pF}$ $R_L=400\text{ }\Omega$	10	18		MHz	
Einschaltverzögerungszeit <sup>1)</sup>	$t_{pd0}$				60	100	ns
Ausschaltverzögerungszeit <sup>1)</sup>	$t_{pd1}$				60	100	ns

### Logische Daten

Ausgangsfächer pro Ausgang	$F_a$				10	
-------------------------------	-------	--	--	--	----	--

1) gemessen zwischen Eingang B und Ausgang Q<sub>4</sub>



Anschlußanordnung  
Ansicht von oben

### Logisches Verhalten

Zählfolge	Ausgänge			
	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	1	0	0	0
7	1	0	0	1
8	1	0	1	0
9	1	0	1	1
10	1	1	0	0
11	1	1	0	1

Anmerkungen:

Q<sub>1</sub> mit B verbunden.

Um alle Ausgänge auf log. 0 zu setzen, muß R<sub>01</sub> und R<sub>02</sub> auf log. 1 sein.

### 4-Bit-Binärzähler (vorläufige Daten)

Der Baustein FLJ 181 bzw. FLJ 185 besteht aus einem zweifachen Teiler und aus einem achtfachen Teiler. Bei Verwendung als Binärzähler muß der Ausgang des zweifachen Teilers Q<sub>1</sub> mit dem Eingang des achtfachen Teilers B verbunden werden.

**Statische Kenndaten**

im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit	
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	4,75	5,0	5,25	V	
Eingangsspannung, log. 1	$U_{e1}$		2,0			V	
Eingangsspannung, log. 0	$U_{e0}$				0,8	V	
Ausgangsspannung, log. 1	$U_{a1}$	$I_L=-400\ \mu\text{A}$	2,4			V	
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V	
Statische Störsicherheit	$U_{ss}$		0,4	1,0		V	
Eingangsstrom, log. 1, an R <sub>01</sub> , R <sub>02</sub>	$I_{e1}$	$U_{e1}=2,4\text{ V}$			40	$\mu\text{A}$	
Eingangsstrom, log. 1, an A oder B	$I_e$	$U_e=5,5\text{ V}$	$U_{Batt}=5,25\text{ V}$		1	mA	
Eingangsstrom, log. 0, an R <sub>01</sub> , R <sub>02</sub>	$I_{e1}$	$U_{e1}=2,4\text{ V}$				80	$\mu\text{A}$
Eingangsstrom, log. 0, an A oder B	$I_e$	$U_e=5,5\text{ V}$				1	mA
Eingangsstrom, log. 0, an R <sub>01</sub> , R <sub>02</sub>	$I_{e0}$				-1,6	mA	
Eingangsstrom, log. 0, an A oder B	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-3,2	mA	
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{Batt}=5,25\text{ V}$ $U_a=0\text{ V}$	-18		-57	mA	
Stromaufnahme	$I_{Batt}$	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$		32	53	mA	

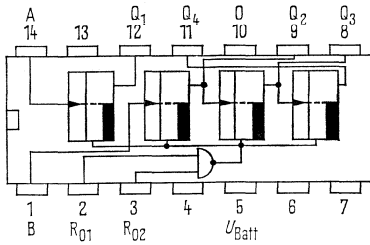
**Schaltzeiten** bei  $U_{Batt}=5,0\text{ V}$ ,  $T_U=25\text{ }^\circ\text{C}$

Zählimpulsdauer	$t_{pZ}$	$C_1=15\text{ pF}$ $R_L=400\ \Omega$	50			ns
Rückstellimpulsdauer	$t_{pR}$		50			ns
Maximale Zählfrequenz	$f_Z$		10	18		MHz
Einschaltverzögerungszeit <sup>1)</sup>	$t_{pd0}$			75	135	ns
Ausschaltverzögerungszeit <sup>1)</sup>	$t_{pd1}$			75	135	ns

**Logische Daten**

Ausgangsfächer pro Ausgang  $F_a$  | | 10 |

1) gemessen zwischen Eingang A und Ausgang Q<sub>4</sub>



Anschlußanordnung  
Ansicht von oben

### Logisches Verhalten

Zählfolge	Ausgänge			
	Q4	Q3	Q2	Q1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

### Anmerkungen:

Q1 mit B verbunden.

Um alle Ausgänge auf log. 0 zurückzusetzen, muß R01 und R02 auf log. 1 sein.

### 4-Bit-rechts/links-Schieberegister (vorläufige Daten)

Der Baustein FLJ 191 bzw. FLJ 195 ist ein 4-Bit-Schieberegister mit folgenden Betriebsmöglichkeiten:

Rechts-Schiebe-Betrieb als Serienschieberegister: Betriebszustand (Anschluß 6) auf log.0. Betrieb durch Takten des Eingangs »Schiebetakt rechts«. Eingang »Schiebetakt links« und Eingänge A bis D sind gesperrt.

Links-Schiebe-Betrieb: Betriebszustand (Anschluß 6) auf log.1. Betrieb durch Takten des Eingangs »Schiebetakt links«. Serieneingang und Eingang »Schiebetakt rechts« sind gesperrt. Durch die Eingänge A bis D kann das Register parallel eingespeichert werden. Eingang D wird durch Verbinden von Q<sub>4</sub> mit C, Q<sub>3</sub> mit B und Q<sub>2</sub> mit A zum Serieneingang.

Anwendung: Serien-Parallel-Umsetzer; Parallel-Serien-Umsetzer; Speicher

**Statische Kenndaten**

im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$		4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$			0,8	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $I_L=-400\ \mu\text{A}$	2,4			V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V}$ $I_L=16\text{ mA}$			0,4	V
Statische Störsicherheit	$U_{ss}$		0,4	1,0		V
Eingangsstrom, log. 1, an A, B, C, D und Serien- eingang	$I_{e1}$ $I_e$	$U_{e1}=2,4\text{ V}$ $U_e=5,5\text{ V}$			40 1	$\mu\text{A}$ mA
Eingangsstrom, log. 1, an Betriebszustand	$I_{e1}$	$U_{e1}=2,4\text{ V}$			80	$\mu\text{A}$
Eingangsstrom, log. 0, an A, B, C, D und Serien- eingang	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			1 -1,6	$\mu\text{A}$ mA
Eingangsstrom, log. 0, an Betriebszustand	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-3,2	mA
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{Batt}=5,25\text{ V}$	-18		-57	mA
Stromaufnahme	$I_{Batt}$	$U_{Batt}=5,25\text{ V}$		50	85	mA

**Logische Daten**

Ausgangsfächer pro Ausgang	$F_a$				10	
----------------------------	-------	--	--	--	----	--



# FLJ 191, FLJ 195

## Schaltzeiten

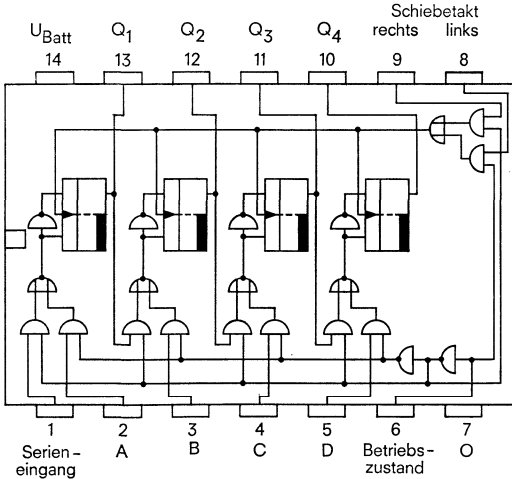
bei  $U_{\text{Batt}}=5,0\text{ V}$ ,  $T_U=25\text{ }^\circ\text{C}$

Taktimpulsdauer  $t_{pT}$   
 Vorbereitungszeit  $t_V$   
 an A, B, C, D und Serien-  
 eingang  
 Haltezeit  $t_H$   
 an A, B, C, D und Serien-  
 eingang  
 Vorbereitungszeit, log. 0,  
 an Betriebszustand, bei  
 a) Schiebetakt rechts  $t_{V0r}$   
 b) Schiebetakt links  $t_{V0l}$   
 Vorbereitungszeit, log. 1,  
 an Betriebszustand, bei  
 a) Schiebetakt rechts  $t_{V1r}$   
 b) Schiebetakt links  $t_{V1l}$   
 Maximale Zählfrequenz  $f_Z$   
 Einschaltverzögerungszeit<sup>1)</sup>  $t_{pd0}$   
 Ausschaltverzögerungszeit<sup>1)</sup>  $t_{pd1}$

Prüfbedingungen	min	typ	max	Einheit
	15	10		ns
	20	10		ns
	0	-10		ns
	20			ns
	10			ns
	20			ns
	20	31		MHz
		24	35	ns
		26	35	ns

$C_1=15\text{ pF}$   
 $R_L=400\text{ }\Omega$

1) Takteingang



Anschlußanordnung  
 Ansicht von oben

### BCD-Dekoder und Treiber für Ziffernanzeigeröhren (vorläufige Daten)

Der Baustein FLL 101 bzw. FLL 105 dekodiert binäre Dezimalzahlen. Integrierte, hochsperrende Treibertransistoren in den Ausgängen ermöglichen das direkte Ansteuern von Ziffernanzeigeröhren. Die Eingänge des FLL 101 sind direkt an die Ausgänge des Dezimalzählers FLJ 161 anschließbar, wobei A mit Q<sub>1</sub>, B mit Q<sub>2</sub>, C mit Q<sub>3</sub> und D mit Q<sub>4</sub> verbunden wird.

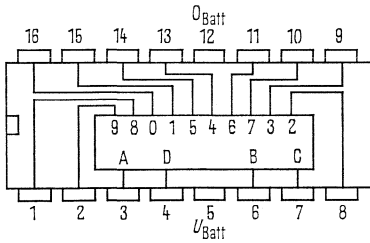
#### Grenzdaten

		min	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$	0	7	V
Eingangsspannung	$U_{\text{E}}$	0	5,5	V
Betriebstemperatur FLL 101	$T_{\text{U}}$	0	70	°C
Betriebstemperatur FLL 105	$T_{\text{U}}$	-25	85	°C
Strom in den Ausgang	$I_{\text{ag}}$	0	2,0	mA
Spannung am Ausgang	$U_{\text{ag}}$	0	70	V
Lagertemperatur	$T_{\text{S}}$	-65	150	°C

#### Statische Kenndaten

im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$		4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{\text{e1}}$	$U_{\text{Batt}}=4,75 \text{ V}$	2,0			V
Eingangsspannung, log. 0	$U_{\text{e0}}$	$U_{\text{Batt}}=4,75 \text{ V}$			0,8	V
Ausgangsspannung, $T_{\text{a}}$ leitend	$U_{\text{al}}$	$U_{\text{Batt}}=4,75 \text{ V}$ $I_{\text{a}}=7 \text{ mA}$			2,5	V
Ausgangsstrom, $T_{\text{a}}$ gesperrt	$I_{\text{ag}}$	$U_{\text{a}}=55 \text{ V}$			50	µA
Eingangsstrom, log. 1, an B, C oder D	$I_{\text{e1}}$	$U_{\text{a}}=70 \text{ V}$			2,0	mA
Eingangsstrom, log. 1, an A	$I_{\text{e}}$	$U_{\text{e1}}=2,4 \text{ V}$ $U_{\text{e}}=5,5 \text{ V}$		$U_{\text{Batt}}=5,25 \text{ V}$	40	µA
Eingangsstrom, log. 0, an B, C oder D	$I_{\text{e0}}$	$U_{\text{e}}=5,5 \text{ V}$			1,0	mA
Eingangsstrom, log. 0, an A	$I_{\text{e0}}$	$U_{\text{Batt}}=5,25 \text{ V}$ $U_{\text{e0}}=0,4 \text{ V}$			80	µA
Eingangsstrom, log. 0, an A	$I_{\text{e0}}$	$U_{\text{Batt}}=5,25 \text{ V}$ $U_{\text{e0}}=0,4 \text{ V}$			1,0	mA
Stromaufnahme	$I_{\text{Batt}}$	$U_{\text{Batt}}=5,25 \text{ V}$		21	42	mA



Anschlußanordnung  
Ansicht von oben

## Logisches Verhalten

Ausgang*)	0	1	2	3	4	5	6	7	8	9
Eingang A	0	1	0	1	0	1	0	1	0	1
Eingang B	0	0	1	1	0	0	1	1	0	0
Eingang C	0	0	0	0	1	1	1	1	0	0
Eingang D	0	0	0	0	0	0	0	0	1	1

\*) Die jeweils angegebenen Ausgänge befinden sich im durchgeschalteten Zustand.

# FLY 101, Q67000-Y1; FLY 105, Q67000-Y18

## Zwei Erweiterungsglieder mit je vier Eingängen

FLY 101 für FLH 151 und FLH 171  
 FLY 105 für FLH 155 und FLH 175

### Statische Kenndaten

im Temperaturbereich 1 und 5,  
 wenn nicht anders angegeben

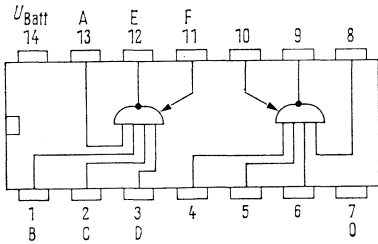
		Prüfbedingungen	Prüf- schal- tung	min	typ	max	Ein- heit
Betriebsspannung	$U_{Batt}$	$U_{Batt}=4,75\text{ V}$	17	4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V}$ $U_F=1\text{ V}, R_L=1\text{ k}\Omega$	17	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V}$ $I_{ag}=150\text{ }\mu\text{A}$ $U_E=4,5\text{ V}, R_L=1,5\text{ k}\Omega$ $T_U=22\text{ }^\circ\text{C}$	18			0,8	V
Eingangsspannung, $T_a$ gesperrt							
Ausgangsspannung, $T_a$ leitend	$U_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, U_F=1\text{ V}$ $R_L=1\text{ k}\Omega$	17			0,4	V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{e1}=2,4\text{ V} \mid U_{Batt}$ $U_{e1}=5,5\text{ V} \mid =5,25\text{ V}$	19			40	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}, U_E=4,5\text{ V}$	18			200	$\mu\text{A}$
Ausgangsstrom, pro Glied, $T_a$ leitend	$I_{a1}$	$U_{Batt}=4,75\text{ V}$ $U_{e1}=2\text{ V}, U_F=1\text{ V}$ $I_E=1,5\text{ mA}$	20	-1,7			mA
Ausgangsstrom, pro Glied, $T_a$ gesperrt	$I_{ag}$	$U_{Batt}=4,75\text{ V}$ $U_{e0}=0,8\text{ V}$ $U_E=4,5\text{ V}, R=1,5\text{ k}\Omega$ $T_U=22\text{ }^\circ\text{C}$	18			270	$\mu\text{A}$
Stromaufnahme, pro Glied, $T_a$ leitend	$I_{Batt 1}$	$U_{Batt}=5,25\text{ V}$ $U_e=4,5\text{ V}$ $U_F=0,85\text{ V}$	21			1,0	mA
Stromaufnahme, pro Glied, $T_a$ gesperrt	$I_{Batt g}$	$U_{Batt}=5,25\text{ V}$ $U_e=0\text{ V}, U_F=0,85\text{ V}$	21			1,5	mA

Schaltzeiten zus. mit FLH 151, 155, 171, 175 bei  $U_{Batt}=5\text{ V}, T_U=25\text{ }^\circ\text{C}$

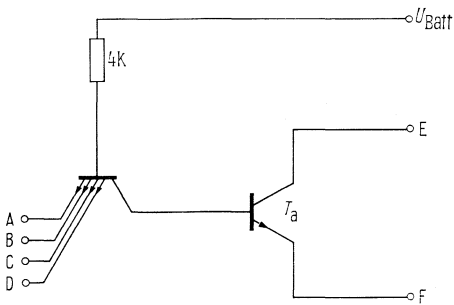
Einschaltverzögerungszeit	$t_{pd0}$	} $C_1=15\text{ }\mu\text{F}, F_a=10$	23	4	20	28	ns
Ausschaltverzögerungszeit	$t_{pd1}$				20	28	ns
Mittlere Verzögerungszeit	$t_{pd}$				20		ns
Abfallzeit von log. 1 auf log. 0	$t_f$	} $C_1=15\text{ }\mu\text{F}, F_a=1$	23				ns

### Logische Daten pro Glied

Eingangsfächer	$F_e$	Erw. = $A \wedge B \wedge C \wedge D$	4
Logische Funktion			



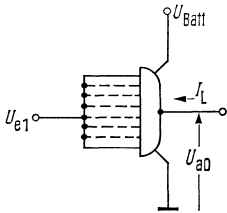
Anschlußanordnung  
Ansicht von oben



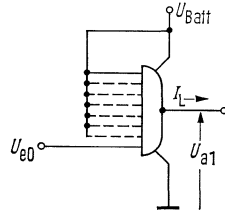
Schaltschema  
(ein Glied)  
Anschluß E mit E von FLH 151 oder  
FLH 171 verbinden  
Anschluß F mit F von FLH 151 oder  
FLH 171 verbinden

# FL 100

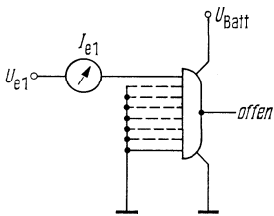
## Prüfschaltungen (Gatter)



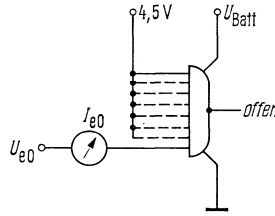
Prüfschaltung 1



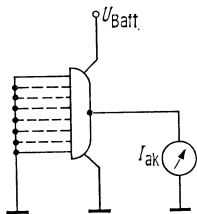
Prüfschaltung 2



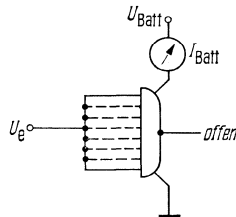
Prüfschaltung 3



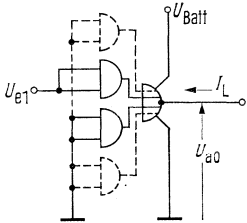
Prüfschaltung 4



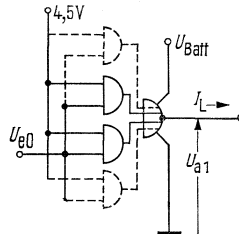
Prüfschaltung 5



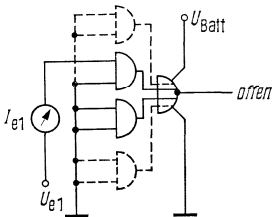
Prüfschaltung 6



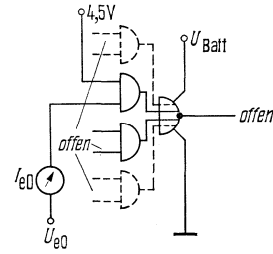
Prüfschaltung 7



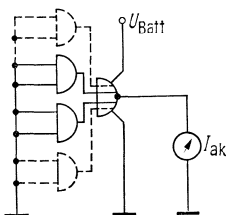
Prüfschaltung 8



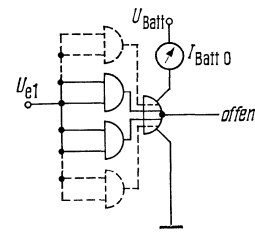
Prüfschaltung 9



Prüfschaltung 10

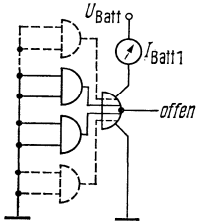


Prüfschaltung 11

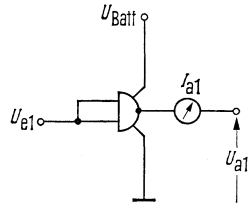


Prüfschaltung 12

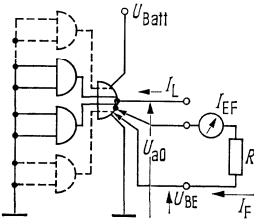
## Prüfschaltungen (Gatter)



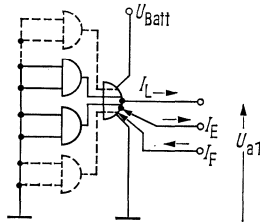
Prüfungsschaltung 13



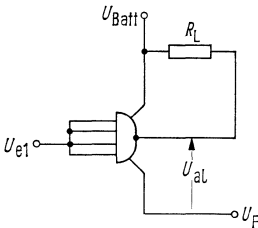
Prüfungsschaltung 14



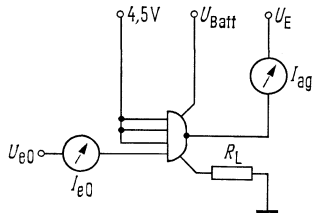
Prüfungsschaltung 15



Prüfungsschaltung 16

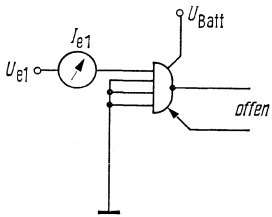


Prüfungsschaltung 17

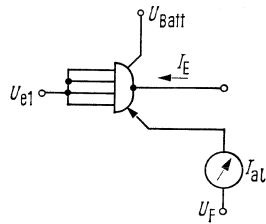


Prüfungsschaltung 18

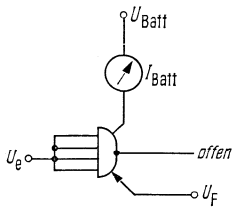




Prüfschaltung 19

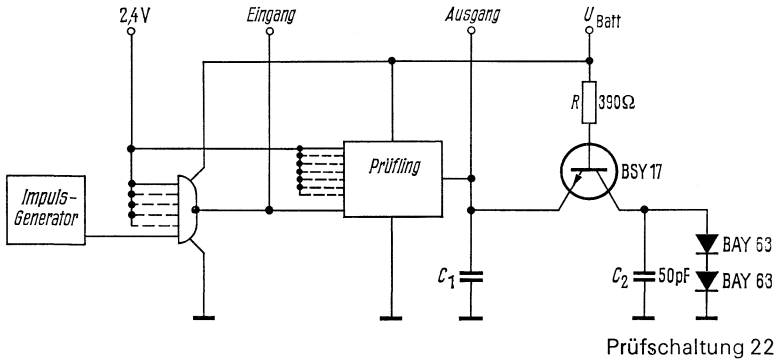


Prüfschaltung 20



Prüfschaltung 21

## Prüfschaltungen für Schaltzeiten (Verknüpfungsglieder)



Anmerkung zur Prüfschaltung 22:

Für FLH 141:  $R=130\ \Omega$ ,  $C_2=150\ \text{pF}$

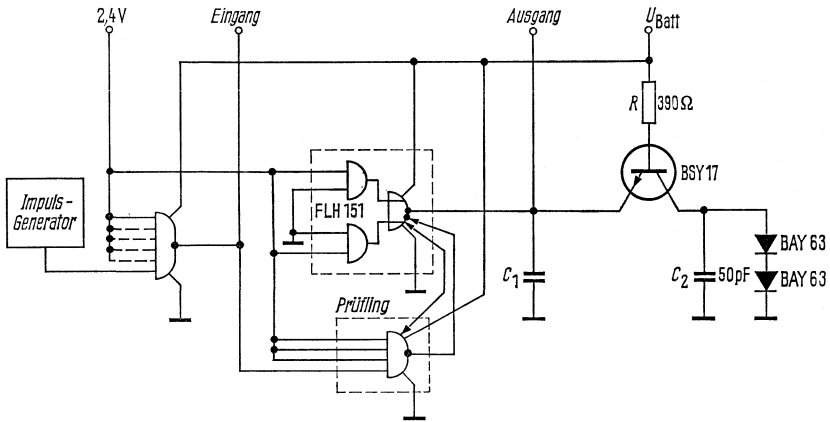
Bei UND/ODER-Gliedern wird ein Eingang des nichtangesteuerten UND-Gliedes auf Masse gelegt

Anmerkung zu Prüfschaltung 22 und 23:

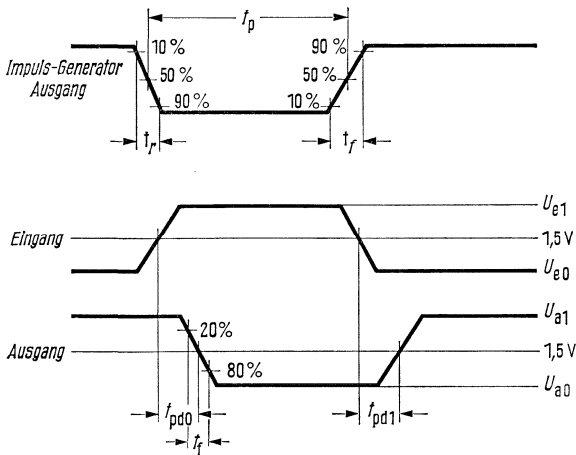
Generatorkenndaten:  $t_r=t_f < 5\ \text{ns}$ ,  $t_p=0,5\ \mu\text{s}$ ,  $f=1\ \text{MHz}$

$C_1$  beinhaltet Tastkopf und Aufbaukapazitäten

$R=3,9\ \text{k}\Omega$  zur Messung von  $t_r$ .



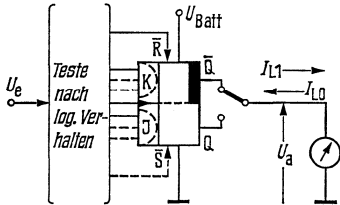
Prüfschaltung 23



Impulsdiagramm für Prüfschaltungen 22 und 23

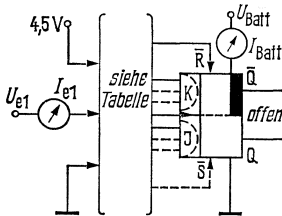
# FL 100

## Prüfschaltungen (Flipflops)



Prüfschaltung 24

Jeder Ausgang wird getrennt getestet



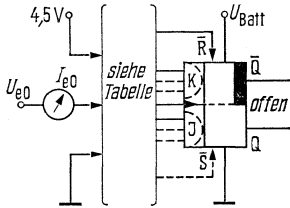
Prüfschaltung 25

$U_{e1}$ an	Masse M	kurzzeitig M, dann statisch 4,5V
$J_1$ od. $J^1$ )	T, R, $J_2, J_3$	R <sup>2</sup> )
$J_2$	T, R, $J_1, J_3$	
$J_3$	T, R, $J_1, J_2$	
$K_1$ od. $K^1$ )	T, S, $K_2, K_3$	
$K_2$	T, S, $K_1, K_3$	
$K_3$	T, S, $K_1, K_2$	
R	T, $J_1$ od. $J^1$ ), $J_2, J_3$	
S	T, $K_1, K_2, K_3$	
T	S, R, $J_1$ od. $J^1$ ), $J_2, J_3, K_1$ od. $K^1$ ), $K_2, K_3$	

$I_{Batt}$ :  $U_{e1}$  an alle Eingänge

Anmerkung für Prüfschaltungen:

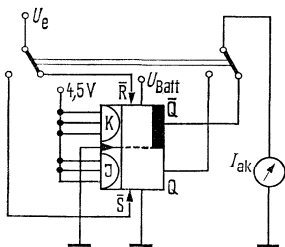
- 1) UND-Gatter (gestrichelte Linien) gelten nur für FLJ 111; FLJ 121, 131 haben direkte J- und K-Eingänge. FLJ 121 hat keinen Stelleingang
- 2) Gilt nur für die Prüfung des FLJ 121



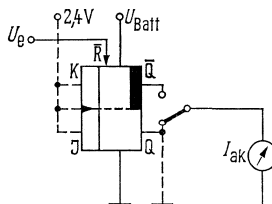
Prüfschaltung 26

$U_{e0}$ an	kurzzeitig M, dann statisch 4,5 V	4,5 V	Masse M
$J_1$ od. $J^1$ )	$\bar{R}$	$T, J_2, J_3$	$\bar{Q}^2$
$J_2$	$\bar{R}$	$T, J_1, J_3$	
$J_3$	$\bar{R}$	$T, J_1, J_2$	
$K_1$ od. $K^1$ )	$\bar{S}$	$T, K_2, K_3$	
$K_2$	$\bar{S}$	$T, K_1, K_3$	
$K_3$	$\bar{S}$	$T, K_1, K_2$	
$\bar{R}$		$K_2, K_3$	
$S$		$K_1$ od. $K^1$ )	
$T$	$S$	$J_1$ od. $J^1$ )	
$T$	$\bar{R}$	$J_2, J_3$	

Für FLJ 121, 131 werden alle Eingänge des unbenutzten Flipflops auf Masse gelegt.



Prüfschaltung 27

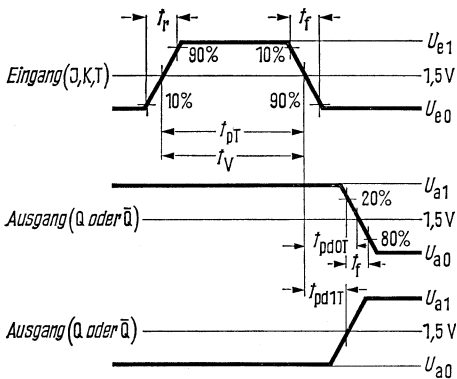
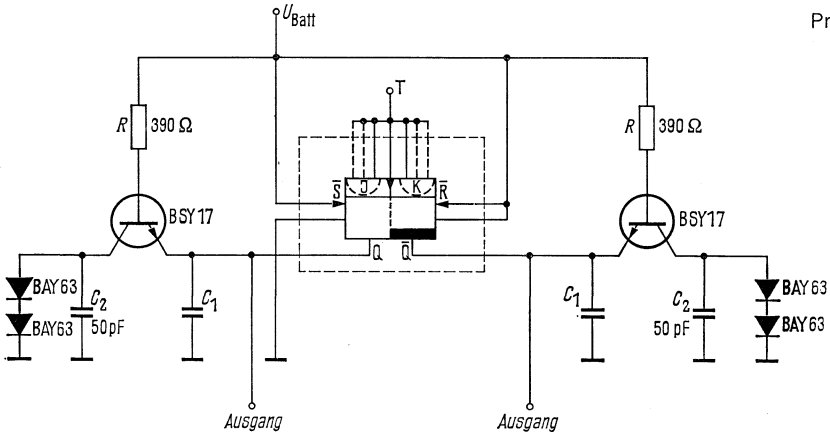


Prüfschaltung 28

Prüfschaltung für  $\bar{Q}$ . Zur Prüfung von  $Q$  sind alle Eingänge offen,  $\bar{Q}$  liegt an Masse, max. Prüfzeit 100 ms.

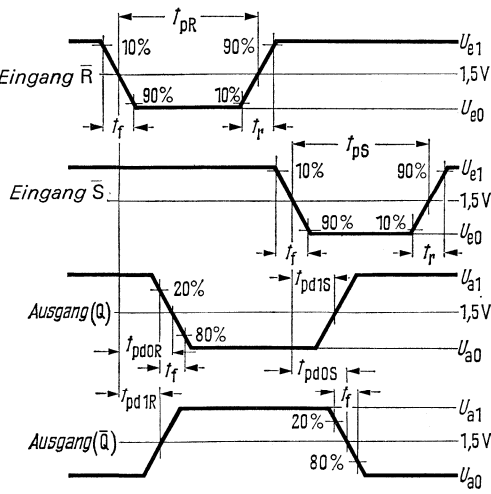
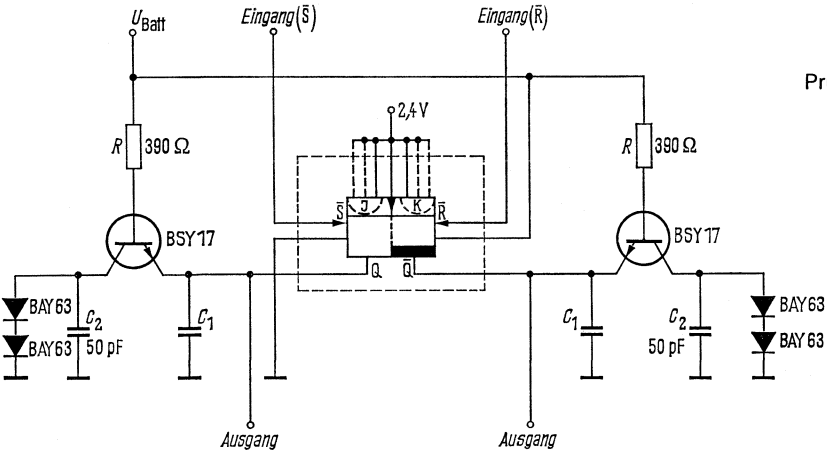
Prüfschaltungen für Schaltzeiten (Flipflops)

Prüfschaltung 29



Impulsdiagramm

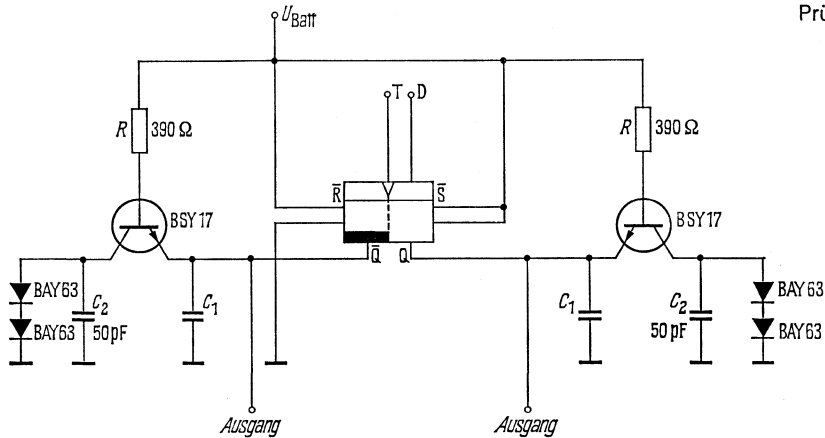
Prüfschaltung 30



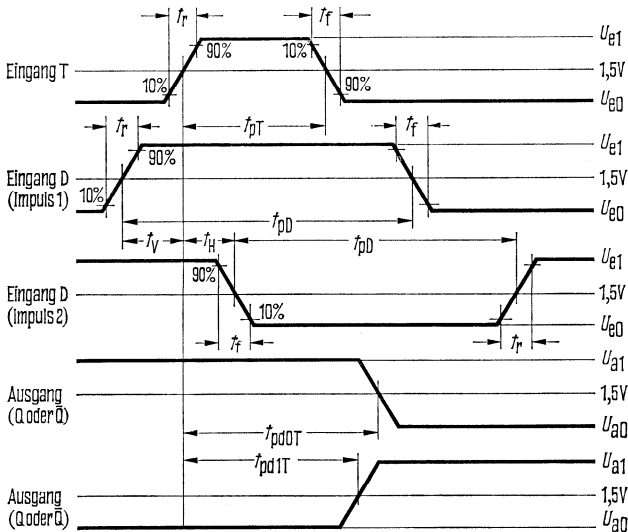
Impulsiagramm

Anmerkungen zu Prüfschaltung 29 und 30.

1. Generatorkenndaten :  $U_{e0}=0,4\text{ V}$ ,  $U_{e1}=2,4\text{ V}$ ,  $t_f=t_r \leq 5\text{ ns}$ ,  $t_{pT}=40\text{ ns}$ ,  $t_{pR}=t_{pS}=25\text{ ns}$ ,  $f=1\text{ MHz}$ . Beim Test von  $f_z$  variere  $f$ .
2.  $C_1$  beinhaltet Tastkopf und Aufbaukapazität.
3.  $R=3,9\text{ k}\Omega$  für die Messung von  $t_f$ .



Impulsdigramm

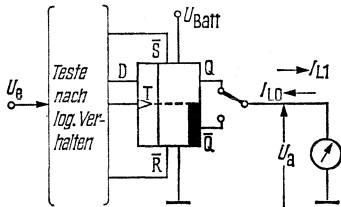


Anmerkungen:

1. Generatorkenndaten:  $U_{e0}=0,4\text{ V}$ ,  $U_{e1}=2,4\text{ V}$ ,  $t_r=t_f \leq 5\text{ ns}$ ,  $t_{pT}=40\text{ ns}$ ,  $f=1\text{ MHz}$ . Beim Test von  $f_z$  variere  $f$ .
2. Impuls 1 gilt für  $t_{pd1T}$  an Q und  $t_{pd0T}$  an  $\bar{Q}$ . Impuls 2 gilt für  $t_{pd1T}$  an  $\bar{Q}$  und  $t_{pd0T}$  an Q. Dabei ist  $t_v=20\text{ ns}$ ,  $t_H=5\text{ ns}$ ,  $t_{pD}=60\text{ ns}$ ,  $f=0,5\text{ MHz}$ .
3.  $C_1$  beinhaltet Tastkopf- und Aufbaukapazität.

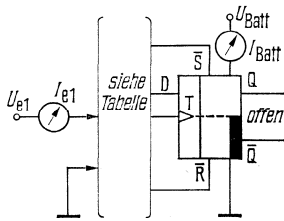


Prüfschaltungen (Flipflops)



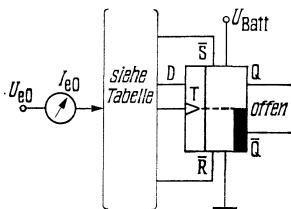
Prüfschaltung 31

Jeder Ausgang wird getrennt getestet



Prüfschaltung 32

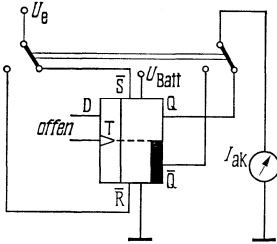
$U_{e1}$ an	4,5 V	Masse M	kurzzeitig M dann statisch 4,5 V
D	T	$\bar{R}$	
R	D, $\bar{R}$	D, Q, T	T
S		$\bar{R}$	
T		D, T	
$I_{Batt}$			



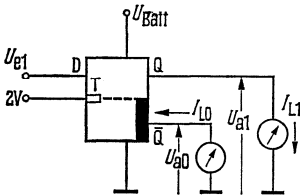
Prüfschaltung 33

$U_{e1}$ an	4,5 V	Masse M
D	R, T	S
S	$\bar{R}$ , T	D
R	D, T	
T	S, R	D

# FL 100

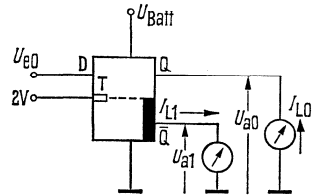


Prüfschaltung 34



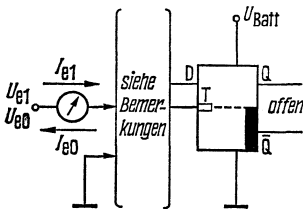
Jeder Ausgang wird getrennt getestet

Prüfschaltung 36



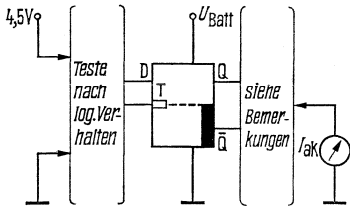
Jeder Ausgang wird getrennt getestet

Prüfschaltung 37



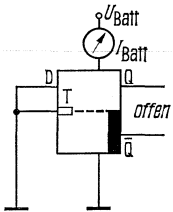
Prüfschaltung 38

1. Jeder Eingang wird getrennt getestet.
2. Bei  $J_{e1}$ -Test an D muß T geerdet werden und umgekehrt.



Jedes Flipflop und jeder Ausgang wird getrennt getestet

Prüfschaltung 39



Prüfschaltung 40

# FY 100

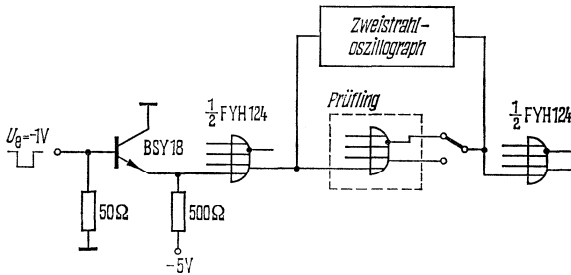
## Allgemeine Angaben zur ECL-Serie FY 100:

Die ECL-Serie FY 100 umfaßt drei NOR/OR-Glieder, FYH 104, FYH 124 und FYH 134. Die ECL-Serie (Emitter-gekoppelte-Logik) ist eine ungesättigte Logikfamilie und ermöglicht dadurch den Aufbau digitaler Systeme mit sehr kurzen Verzögerungszeiten. Die Serie ist im Glasflachgehäuse TO 87 (siehe Bauformzeichnungen).

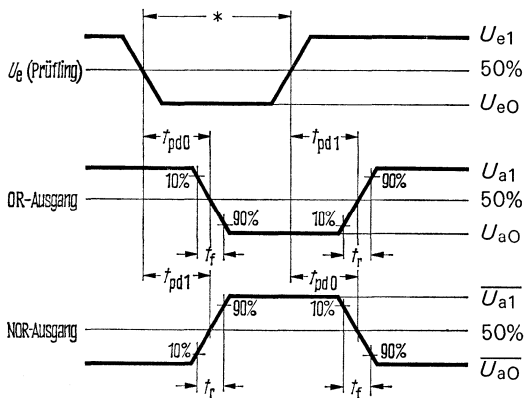
Folgende Grenzdaten gelten für alle Typen:

	min	max	Einheit	
Betriebsspannung	$U_{Batt}$	-7	0	V
Eingangsspannung	$U_E$	-5	+2	V
Betriebstemperatur	$T_U$	10	60	°C
Lagertemperatur	$T_S$	-40	150	°C

Meßschaltung für Schaltzeiten



Impulsdiagramm



\*  $t_p \sim 50$  ns,  $t_r = t_f = 5$  ns,  $f = 1$  MHz

# FYH 104, FYH 124, FYH 134

## NOR/OR-Glieder (vorläufige Daten)

FYH 104, NOR/OR-Glied mit 8 Eingängen

FYH 124, 2 NOR/OR-Glieder mit je 4 Eingängen mit Emitterwiderstand im Ausgang

FYH 134, 2 NOR/OR-Glieder mit je 4 Eingängen ohne Emitterwiderstand im Ausgang,  
für wired-OR-Verbindung

**Statische Kenndaten**, bei  $U_{\text{Batt}} = -5 \text{ V}$ ,  $T_U = 25 \text{ °C}$

bei FYH 104 wird Anschluß 4 mit 5 und 1 mit 14 verbunden

bei FYH 134 wird Anschluß 4 bzw. 1 mit  $500 \Omega$  an Anschluß 3 gelegt

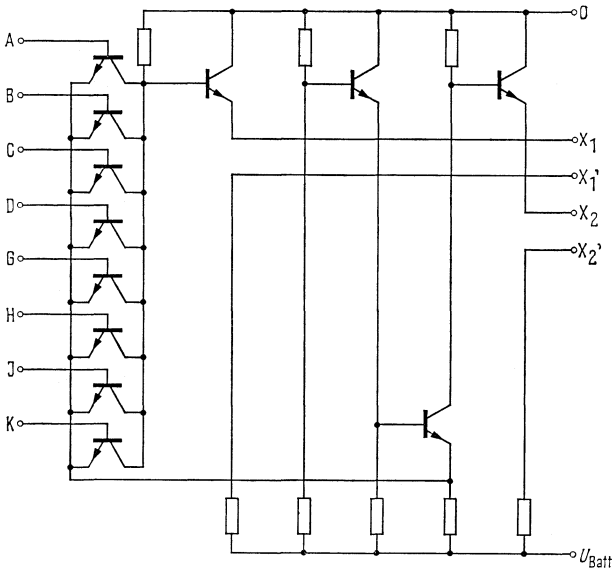
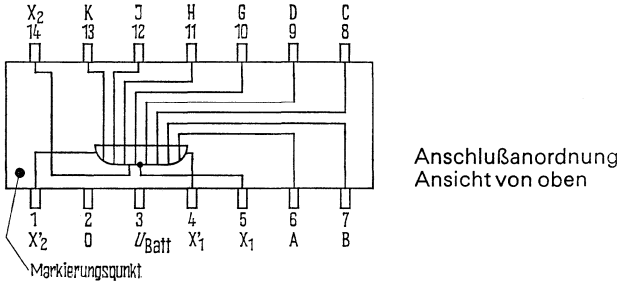
		Prüfbedingungen	min	typ	max	Einheit
Eingangsspannung, log. 1 <sup>1)</sup>	$U_{e1}$		-1,0			V
Eingangsspannung, log. 0 <sup>1)</sup>	$U_{e0}$				-1,4	V
NOR-Ausgangsspannung, log. 1 <sup>1)</sup>	$U_{a1}$	$U_{e1} = -1,4 \text{ V}$	-0,85		-0,68	V
NOR-Ausgangsspannung, log. 0 <sup>1)</sup>	$U_{a0}$	$U_{e0} = -1,0 \text{ V}$	-1,75		-1,48	V
OR-Ausgangsspannung, log. 1 <sup>1)</sup>	$U_{a1}$	$U_{e0} = -1,0 \text{ V}$	-0,82		-0,65	V
OR-Ausgangsspannung, log. 0 <sup>1)</sup>	$U_{a0}$	$U_{e1} = -1,4 \text{ V}$	-1,80		-1,53	V
Eingangsstrom pro Eingang	$I_e$	$U_e = -0,8 \text{ V}$			200	$\mu\text{A}$
Stromaufnahme FYH 104	$I_{\text{Batt}}$			25	40	$\text{mA}$
Stromaufnahme FYH 124	$I_{\text{Batt}}$			45	60	$\text{mA}$
Stromaufnahme FYH 134	$I_{\text{Batt}}$	Anschluß 1 und 4 offen		35	50	$\text{mA}$

**Schaltzeiten** bei  $U_{\text{Batt}} = -5 \text{ V}$ ,  $F_a = F_e = 1$ ,  $T_U = 25 \text{ °C}$

NOR-Verzögerungszeit	$t_{\text{pd1}}$				5	ns
	$t_{\text{pd0}}$				5	ns
OR-Verzögerungszeit	$t_{\text{pd1}}$				5	ns
	$t_{\text{pd0}}$				5	ns
Anstiegszeit	$t_r$				7	ns
Abfallzeit	$t_f$				5	ns

1) Bei Spannungsangaben bedeutet minimal  $-U$  Volt eine Spannung von  $-U$  Volt oder positiver und maximal  $-U$  Volt eine Spannung von  $-U$  Volt oder negativer

**NOR/OR-Glied mit acht Eingängen**

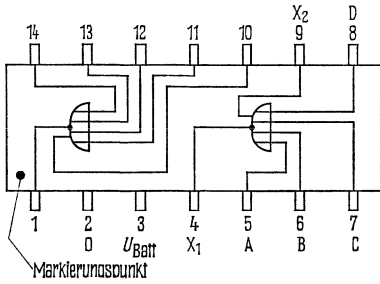


Schaltschema

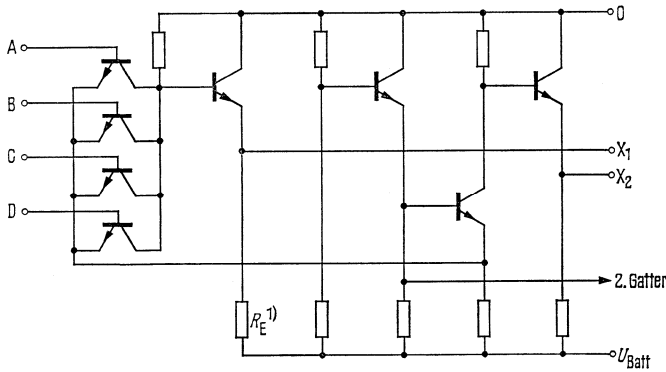
$X_1, X_1' = \text{NOR-Ausgang}$   
 $X_2, X_2' = \text{OR-Ausgang}$

Logische Daten		max.
Ausgangsfächer	$F_a$	10
Eingangsfächer	$F_e$	8
Logische Funktion		$X_1 = X_2 = A \vee B \vee C \vee D \vee G \vee H \vee J \vee K$

Zwei NOR/OR-Glieder mit je vier Eingängen



Anschlußanordnung  
Ansicht von oben



Schaltschema (ein Glied)

1) Emittierwiderstand  $R_E$  nur bei FYH 124

$X_1$  = NOR-Ausgang

$X_2$  = OR-Ausgang

Logische Daten		max.
Ausgangsfächer	$F_a$	10
Eingangsfächer	$F_e$	4
Logische Funktion		$X_1 = X_2 = A \vee B \vee C \vee D$

# FZ 100

## Allgemeine Angaben zur langsamen, störsicheren Logikserie FZ 100 (LSL):

FZ 100 ist eine Serie monolithischer integrierter Halbleiterschaltungen. Der Einsatz dieser Bausteine bei stark störgefährdetem Betrieb bietet folgende Vorteile:

1. Die statische Störsicherheit beträgt bei einer Betriebsspannung von 15 V typisch 5 V bzw. 8 V in dem jeweiligen Schaltzustand.
2. Die Gegentaktausgangsstufe hat in beiden Schaltzuständen einen niedrigen Ausgangswiderstand. Störimpulse, die auf Leitungen zwischen den Bausteinen eingekoppelt werden, klingen daher rasch ab.
3. Die Paarlaufzeit und die Flankendauer sind groß, dadurch wird eine hohe dynamische Störsicherheit erreicht.

Folgende Grenzdaten gelten für alle Typen:

		min	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$	0	18	V
Eingangsspannung	$U_{\text{E}}$	0	18	V
Betriebstemperatur Bereich 1	$T_{\text{U}}$	0	70	°C
Bereich 5	$T_{\text{U}}$	-25	85	°C
Lagertemperatur	$T_{\text{S}}$	-65	150	°C
Wärmewiderstand (System-Luft)	$R_{\text{thSU}}$		150	grd/W

Die Serien FZ 101 und FZ 105 sind im Plastik-Steckgehäuse (Bauformzeichnungen siehe Seite 128).

Zur Zeit ist eine Ergänzung der FZ-100-Serie mit einer monostabilen LSL-Kippstufe FZK 101 in Vorbereitung. Der Baustein kann als Impulsverzögerungsglied, als Impulsverkürzungsglied und als monostabile Kippstufe verwendet werden.



## Technische Angaben zur LSL-Serie FZ 100:

Der herausgeführte Basisanschluß Y ist für den Anschluß einer Integrierkapazität  $C$  vorgesehen. Die Kapazität wird zwischen Y und Ausgang X gelegt und bewirkt eine Verlängerung der Schaltzeiten  $t_s$  (Bild 1). Bild 2 zeigt die Abhängigkeit der Schaltzeiten von der Lastkapazität  $C_L$ .

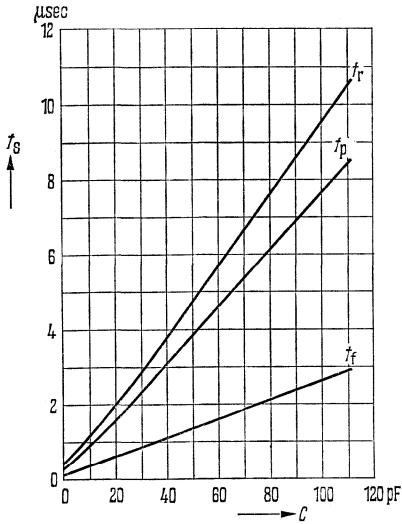


Bild 1

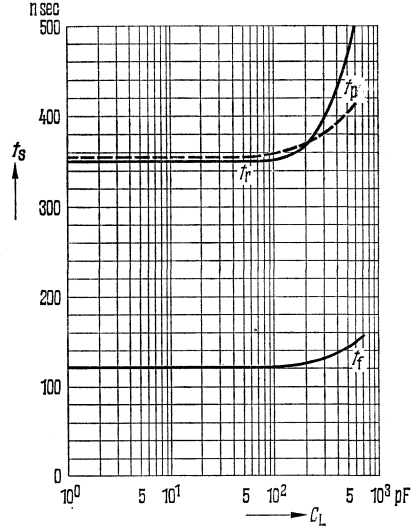


Bild 2

- $t_r$  positive Flankendauer
- $t_f$  negative Flankendauer
- $t_p$  Paarlauzeit

## Statische Kenndaten:

Die statischen Kenndaten sind für zwei Spannungsbereiche definiert. Dabei gilt für den Spannungsbereich  $U_{\text{Batt}}=12\text{ V}$  ein  $U_{\text{min}}=11,4\text{ V}$  und ein  $U_{\text{max}}=13,5\text{ V}$  und für den Spannungsbereich  $U_{\text{Batt}}=15\text{ V}$  ein  $U_{\text{min}}=13,5\text{ V}$  und ein  $U_{\text{max}}=16,5\text{ V}$ . Die typischen Werte gelten bei der jeweiligen Nennspannung und einer Temperatur  $T_U=25^\circ\text{C}$ .

# FZH 101, FZH 111, FZH 121, FZH 131, FZH 171 FZH 105, FZH 115, FZH 125, FZH 135, FZH 175

## Vorläufige Daten

FZH 101, FZH 105, Vier NAND-Glieder mit je zwei Eingängen  
 FZH 111, FZH 115, Vier NAND-Glieder mit je zwei Eingängen und Basisanschluß Y  
 FZH 121, FZH 125, Zwei NAND-Glieder mit je fünf Eingängen  
 FZH 131, FZH 135, Zwei NAND-Glieder mit je fünf Eingängen und Basisanschluß Y  
 FZH 171, FZH 175, Zwei NAND-Glieder mit je vier Eingängen und Erweiterungseingang und Basisanschluß

Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$		11,4	12,0	13,5	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a0} \leq 1,7 \text{ V}, I_L=15 \text{ mA}$	7,5			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{\text{Batt}}=U_{\text{min}} \text{ und } U_{\text{max}}$ $U_{a1} \geq 10 \text{ V}, I_L=-0,1 \text{ mA}$			4,5	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{\text{Batt}}=U_{\text{min}} \text{ und } U_{\text{max}}$ $U_{e0}=4,5 \text{ V}, I_L=-0,1 \text{ mA}$	10,0	11,3		V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e1}=7,5 \text{ V}, I_L=15 \text{ mA}$		0,9	1,7	V
Statische Störsicherheit, log. 1	$U_{\text{ss}}$		2,5	5,0		V
		log. 0	2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$			1,0	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7 \text{ V}$		-0,8	-1,5	mA
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}$	-10,0	-30,0	-50,0	mA
Stromaufnahme, log. 1, pro Glied	$I_{\text{Batt}1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}$		0,9	1,6	mA
Stromaufnahme, log. 0, pro Glied	$I_{\text{Batt}0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$		1,7	3,0	mA
Leistungsverbrauch pro Glied	$P$	$U_{\text{Batt}}=U_{\text{max}}$ Tastverhältnis 1:1		16	28	mW

## Schaltzeiten bei Nennspannung, $F_a=1$ , $T_U=25 \text{ }^\circ\text{C}$

Pos. Flankendauer zw. 10 und 90%	$t_r$	} $C_L=10 \text{ pF}$	210	350	490	ns
Neg. Flankendauer zw. 10 und 90%	$t_f$		70	120	170	ns
Paarlaufzeit zwischen 4,5V-Punkten	$t_p$			350		ns

# FZH 101, FZH 111, FZH 121, FZH 131, FZH 171 FZH 105, FZH 115, FZH 125, FZH 135, FZH 175

## Vorläufige Daten

Statische Kenndaten im 15-V-Bereich  
im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$		13,5	15,0	17,0	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a0} \leq 1,7\text{ V}, I_L=18\text{ mA}$	7,5			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{\text{Batt}}=U_{\text{min}} \text{ und } U_{\text{max}}$ $U_{a1} \geq 12\text{ V}, I_L=-0,1\text{ mA}$			4,5	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{\text{Batt}}=U_{\text{min}} \text{ und } U_{\text{max}}$ $U_{e0}=4,5\text{ V}, I_L=-0,1\text{ mA}$	12,0	14,3		V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e1}=7,5\text{ V}, I_L=18\text{ mA}$		1,0	1,7	V
Statische Störsicherheit, log. 1	$U_{\text{ss}}$		4,5	8,0		V
log. 0	$U_{\text{ss}}$		2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$			1,0	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7\text{ V}$		-1,0	-1,8	mA
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0\text{ V}$	-15,0	-37,0	-60,0	mA
Stromaufnahme, log. 1, pro Glied	$I_{\text{Batt}1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0\text{ V}$		1,2	2,1	mA
Stromaufnahme, log. 0, pro Glied	$I_{\text{Batt}0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$		2,3	4,0	mA
Leistungsverbrauch pro Glied	$P$	$U_{\text{Batt}}=U_{\text{max}}$ Tastverhältnis 1:1		27	46	mW

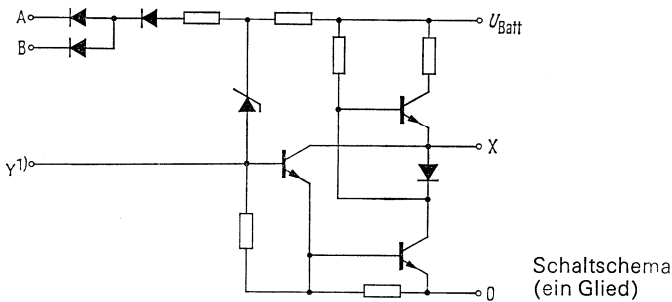
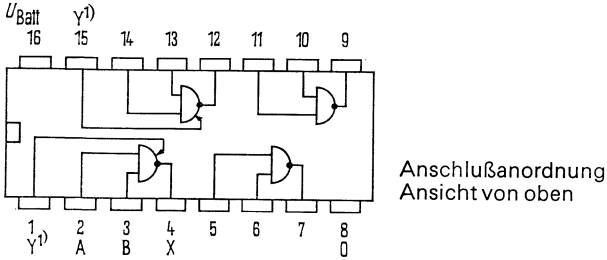
Schaltzeiten bei Nennspannung,  $F_a=1$ ,  $T_U=25\text{ }^\circ\text{C}$

Pos. Flankendauer zw. 10% und 90%	$t_r$	} $C_L=10\text{ pF}$	250	410	580	ns
Neg. Flankendauer zw. 10% und 90%	$t_f$		50	85	120	ns
Paarlaufzeit zw. 4,5V-Punkten	$t_p$			350		ns

# FZH 101, FZH 105, FZH 111, FZH 115

Q67000-H190; Q67000-H250; Q67000-H191; Q67000-H215

## Vier NAND-Glieder mit je zwei Eingängen



Logische Daten pro Glied		max
Ausgangsfächer, log. 1	$F_{a1}$	100
log. 0	$F_{a0}$	10
Eingangsfächer	$F_e$	2
Logische Funktion	$X = \overline{A \wedge B}$	

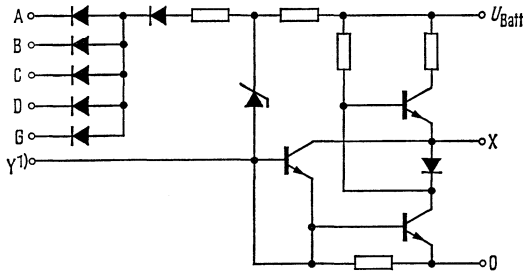
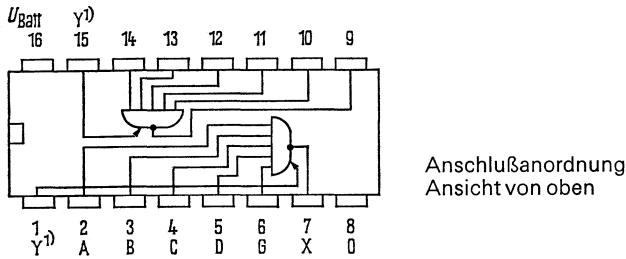
1) nur bei FZH 111, 115

# FZH 121, FZH 125, FZH 131, FZH 135, FZH 171, FZH 175

Q67000-H192; Q67000-H254; Q67000-H193; Q67000-H255; Q67000-H328; Q67000-H329

## Zwei NAND-Glieder mit je fünf Eingängen

Bei den Bausteinen FZH 171 und FZH 175 sind die gemeinsamen Anodenanschlüsse der Eingangsdioden direkt herausgeführt, so daß Erweiterungseingänge E (Anschluß 6 bzw. 10) zur Verfügung stehen. Durch Beschalten dieser Eingänge mit Dioden BAW 76 können die NAND-Glieder beliebig erweitert werden. Dabei müssen die Anoden der Erweiterungsdioden an den Anschlüssen 6 bzw. 10 (E) parallel geschaltet werden.



Logische Daten pro Glied		max
Ausgangsfächer, log. 1	$F_{a1}$	100
log. 0	$F_{a0}$	10
Eingangsfächer		
FZH 121, 125, 131, 135	$F_e$	5
FZH 171, 175	$F_e$	4+Erw.

Logische Funktion

$$\begin{aligned} \text{FZH 121, 125, 131, 135} & \quad \overline{X = A \wedge B \wedge C \wedge D \wedge G} \\ \text{FZH 171, 175} & \quad \overline{X = A \wedge B \wedge C \wedge D \wedge \text{Erw.}} \end{aligned}$$

1) Nur bei FZH 131, 135, 171, 175

**Zwei NAND-Leistungsglieder mit je fünf Eingängen (vorläufige Daten)**

Es gelten die auf Seite 112 und 113 aufgeführten Daten mit Ausnahme der hier angegebenen Werte.

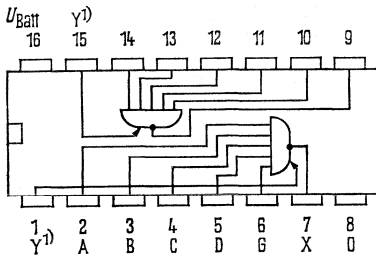
Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7 \text{ V}, I_L=45 \text{ mA}$	7,5			V
Ausgangsspannung, log. 0	$U_{a0}$					
		$U_{Batt}=U_{min}$ $U_{e1}=7,5 \text{ V}, I_L=45 \text{ mA}$		1,3	1,7	V

Statische Kenndaten im 15-V- Bereich  
im Temperaturbereich 1 und 5

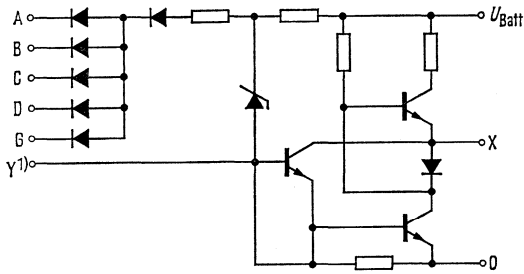
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=U_{min}$ $U_{a0} < 1,7 \text{ V}, I_L=54 \text{ mA}$	7,5			V
Ausgangsspannung, log. 0	$U_{a0}$					
		$U_{Batt}=U_{min}$ $U_{e1}=7,5 \text{ V}, I_L=54 \text{ mA}$		1,4	1,7	V

**Logische Daten pro Glied**

Ausgangsfächer, log. 1	$F_{a1}$				100
log. 0	$F_{a0}$				
Eingangsfächer	$F_e$				
Logische Funktion		$X = A \wedge B \wedge C \wedge D \wedge G$			5



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

**UND-ODER-Kombinationsglied (vorläufige Daten)**

Der Baustein FZH 151 bzw. FZH 155 ist ein UND-ODER-Kombinationsglied, mit dem folgende Schaltungen realisiert werden können: Flipflops, Zähler und Frequenzteiler, Schieberegister, Addierschaltungen, Verzögerungsschaltungen. Der Baustein kann bis zu einer minimalen Versorgungsspannung von  $U_{\text{Batt}}=10\text{V}$  betrieben werden.

**Statische Kenndaten** im 12-V-Bereich  
im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$		11,4	12,0	13,5	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a0} \leq 1,7\text{V}, I_L=15\text{mA}$	7,5			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a1} \geq 10\text{V}, I_L=-0,1\text{mA}$			4,5	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e0}=4,5\text{V}, I_L=-0,1\text{mA}$	10,0	11,3		V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e1}=7,5\text{V}, I_L=15\text{mA}$		0,9	1,7	V
Statische Störsicherheit, log. 1	$U_{ss}$		2,5	5,0		V
	log. 0 $U_{ss}$		2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$			1,0	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7\text{V}$		-0,5	-1,0	mA
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0\text{V}$	-10,0	-30,0	-50,0	mA
Stromaufnahme, log. 1, gesamt	$I_{\text{Batt}1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0\text{V}$		14,0	22,0	mA
	$I_{\text{Batt}0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$		8,0	13,0	mA
Leistungsverbrauch	$P$	$U_{\text{Batt}}=U_{\text{max}}$ Tastverhältnis 1:1		132	236	mW

**Schaltzeiten** bei  $U_{\text{Batt}}=12\text{V}, F_a=1, T_U=25\text{°C}$

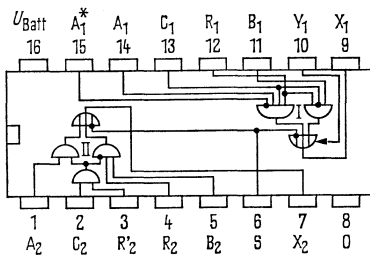
Pos. Flankendauer zwischen 10% und 90%	$t_r$	} $C_L=10\text{pF}$		350		ns
Neg. Flankendauer zwischen 10% und 90%	$t_f$					



# FZH 151, FZH 155

Statische Kenndaten im 15-V-Bereich  
im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$		13,5	15,0	17,0	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a0} \leq 1,7 \text{ V}, I_L=18 \text{ mA}$	7,5			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a1} \geq 12 \text{ V}, I_L=-0,1 \text{ mA}$			4,5	V
Ausgangsspannung, log. 1	$U_{a1}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e0}=4,5 \text{ V}, I_L=-0,1 \text{ mA}$	12,0	14,3		V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e1}=7,5 \text{ V}, I_L=18 \text{ mA}$		1,0	1,7	V
Statische Störsicherheit, log. 1	$U_{\text{ss}}$		4,5	8,0		V
	log. 0 $U_{\text{ss}}$		2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$			1,0	$\mu\text{A}$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7 \text{ V}$		-0,5	-1,0	mA
Kurzschlußausgangsstrom pro Glied	$I_{aK}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}$	-15,0	-37,0	-60,0	mA
Stromaufnahme, log. 1, gesamt	$I_{\text{Batt}1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}$		18,0	28,0	mA
Stromaufnahme, log. 0, gesamt	$I_{\text{Batt}0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$		12,0	19,0	mA
Leistungsverbrauch	$P$	$U_{\text{Batt}}=U_{\text{max}}$ Tastverhältnis 1:1		225	388	mW



Anschlußanordnung  
Ansicht von oben

## Logische Daten

		max
Ausgangsfächer log. 1	$F_{a1}$	100
pro Ausgang log. 0 (für beliebige LSL-Lasten)	$F_{a0}$	13
log. 0 (für FZH 151 als Last)	$F_{a0}$	20

Logische Funktion  $X_1 = \overline{S} \vee (A_1 \wedge \overline{A_1^*} \wedge R_1 \wedge C_1) \vee (B_1 \wedge R_1 \wedge \overline{C_1})$   
 $X_2 = \overline{S} \vee (A_2 \wedge C_2 \wedge R_2) \vee (B_2 \wedge R_2 \wedge \overline{C_2 \wedge R_2})$

**LSL-TTL- Pegelumsetzer (vorläufige Daten)**

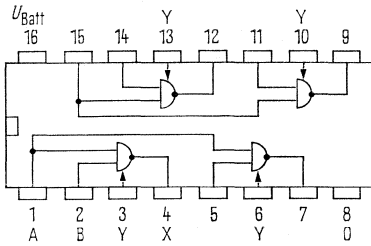
Die Bausteine FZH 161 und FZH 165 enthalten 4 LSL-TTL-Pegelumsetzer. Sie können ebenfalls als LSL-wired-AND-Stufen verwendet werden. Dabei gelten die gleichen Formeln und Tabellen wie für FLH 201 (Seite 50).

Die zulässige Spannung am Ausgang X beträgt maximal 18 V.

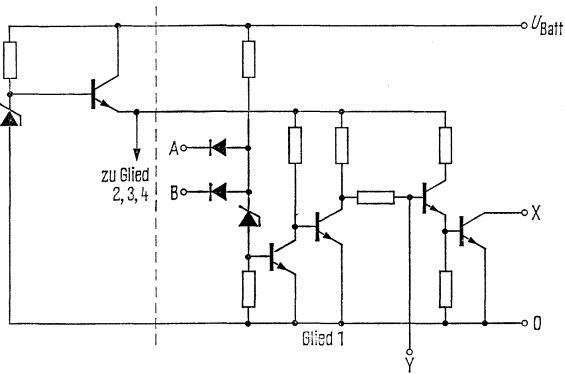
Statische Kenndaten im 12-V-Bereich im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$		11,4	12,0	13,5	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt} = U_{min}$ $U_{a0} = 0,4 V, I_L = 20 mA$	7,5			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt} = U_{min}$ $U_{a1} = U_{max}, I_{a1} = 50 \mu A$			4,5	V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt} = U_{min}$ $U_{e1} = 7,5 V, I_L = 20 mA$			0,4	V
Statische Störsicherheit, log. 1	$U_{ss}$		2,5	5,0		V
log. 0	$U_{ss}$		2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{Batt} = U_{max}, U_e = U_{max}$			1,0	$\mu A$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{Batt} = U_{max}, U_{e0} = 1,7 V$		-0,8	-1,5	mA
Ausgangssperrstrom, log. 1	$I_{a1}$	$U_{Batt} = U_{max}, U_a = 18 V$			50	$\mu A$
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt} = U_{max}, U_e = 0 V$		2,5	4,5	mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt} = U_{max}, U_e = U_{max}$		4,0	7,0	mA

**Statische Kenndaten im 15-V-Bereich  
im Temperaturbereich 1 und 5**

Betriebsspannung	$U_{Batt}$		13,5	15	17,0	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt} = U_{min}$ $U_{a0} = 0,4 V, I_L = 20 mA$	7,5			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt} = U_{min}$ $U_{a1} = U_{max}, I_{a1} = 50 \mu A$			4,5	V
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt} = U_{min}$ $U_{e1} = 7,5 V, I_L = 20 mA$			0,4	V
Statische Störsicherheit, log. 1	$U_{ss}$		4,5	8,0		V
log. 0	$U_{ss}$		2,8	5,0		V
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{Batt} = U_{max}, U_e = U_{max}$			1,0	$\mu A$
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{Batt} = U_{max}, U_{e0} = 1,7 V$		-1,0	-1,8	mA
Ausgangssperrstrom, log. 1	$I_{a1}$	$U_{Batt} = U_{max}, U_a = 18 V$			50	$\mu A$
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt} = U_{max}, U_e = 0 V$		2,8	5,0	mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt} = U_{max}, U_e = U_{max}$		4,5	8,0	mA



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

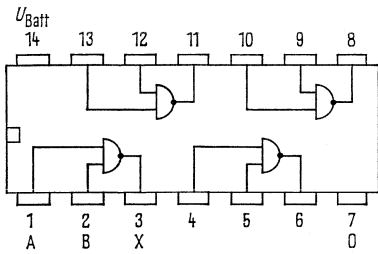
**TTL-LSL-Pegelumsetzer (vorläufige Daten)**

Die Bausteine FZH 181 und FZH 185 enthalten 4 TTL-LSL-Pegelumsetzer. Sie können ebenfalls als TTL-wired-AND-Stufen verwendet werden. Dabei gelten die gleichen Formeln und Tabellen wie für FLH 201 (Seite 50).

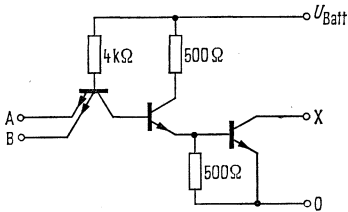
Die zulässige Spannung am Ausgang X beträgt maximal 18 V.

**Statische Kenndaten im Temperaturbereich 1 und 5**

Statische Kenndaten im Temperaturbereich 1 und 5		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$		4,75	5,0	5,25	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=4,75\text{ V},$ $U_{a0} \leq 0,6\text{ V}, I_L=50\text{ mA}$	2,0			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=4,75\text{ V},$ $U_{a1}=16,5\text{ V},$ $I_{a1} \leq 300\text{ }\mu\text{A}$			0,8	V
Ausgangssperrestrom, log. 1	$I_{a1}$	$U_{Batt}=4,75\text{ V},$ $U_{e0}=0,8\text{ V}, U_{a1}=5,5\text{ V}$			250	$\mu\text{A}$
	$I_{a1}$	$U_{Batt}=4,75\text{ V},$ $U_{e0}=0,8\text{ V}, U_{a1}=16,5\text{ V}$			300	$\mu\text{A}$
Ausgangsspannung, log. 0	$U_{a0}$	$U_{Batt}=4,75\text{ V},$ $U_{e1}=2,0\text{ V}, I_L=16\text{ mA}$			0,4	V
	$U_{a0}$	$U_{Batt}=4,75\text{ V},$ $U_{e1}=2,0\text{ V}, I_L=50\text{ mA}$			0,6	V
Eingangsstrom, log. 0, pro Eingang	$I_{e0}$	$U_{Batt}=5,25\text{ V}$ $U_{e0}=0,4\text{ V}$			-1,6	mA
Eingangsstrom, log. 1, pro Eingang	$I_{e1}$	$U_{Batt}=5,25\text{ V},$ $U_{e1}=2,4\text{ V}$			40	$\mu\text{A}$
	$I_e$	$U_{Batt}=5,25\text{ V},$ $U_e=5,5\text{ V}$			1,0	mA
Stromaufnahme, log. 1, pro Glied	$I_{Batt1}$	$U_{Batt}=5\text{ V}, U_e=5\text{ V}$		8,5		mA
Stromaufnahme, log. 0, pro Glied	$I_{Batt0}$	$U_{Batt}=5\text{ V}, U_e=0\text{ V}$		1,0		mA



Anschlußanordnung  
Ansicht von oben



Schaltschema  
(ein Glied)

# FZJ 101, FZJ 105, FZJ 111, FZJ 115

Q67000–J95; Q67000–J124; Q67000–J96; Q67000–J125

## Vorläufige Daten

FZJ 101, FZJ 105, JK-Master-Slave Flipflop mit je zwei J- und K-Eingängen  
 FZJ 111, FZJ 115, JK-Master-Slave Flipflop mit Y-Anschlüssen

Statische Kenndaten im 12-V-Bereich  
 im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{Batt}$		11,4	12,0	13,5	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{Batt}=U_{min}$ $U_{a0} \leq 1,7 V, I_L=15 mA$	7,5			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{Batt}=U_{min}$ und $U_{max}$ $U_{a1} \geq 10 V, I_L=-0,1 mA$			4,5	V
Ausgangsspannung, log. 1, pro Ausgang	$U_{a1}$	$U_{Batt}=U_{min}$ und $U_{max}$ $U_{e0}=4,5 V, I_L=-0,1 mA$	10,0	11,3		V
Ausgangsspannung, log. 0, pro Ausgang	$U_{a0}$	$U_{Batt}=U_{min}$ $U_{e1}=7,5 V, I_L=15 mA$		0,9	1,7	V
Statische Störsicherheit, log. 1	$U_{ss}$		2,5	5,0		V
log. 0	$U_{ss}$		2,8	5,0		V
Eingangsstrom, log. 1, an allen Eingängen	$I_{e1}$	$U_{Batt}=U_{max}$ $U_e=U_{max}$			1,0	$\mu A$
Eingangsstrom, log. 0, an J, K bzw. J <sub>1</sub> , J <sub>2</sub> , K <sub>1</sub> , K <sub>2</sub> und R, S <sup>1)</sup>	$I_{e0}$	$U_{Batt}=U_{max}$ $U_{e0}=1,7 V$		-0,8	-1,5	mA
Eingangsstrom, log. 0, an T	$I_{e0}$	$U_{Batt}=U_{max}$ $U_{e0}=1,7 V$		-1,6	-3,0	mA
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{Batt}=U_{max}$ $U_e=0 V$	-10,0	-30,0	-50,0	mA
Stromaufnahme	$I_{Batt}$	$U_{Batt}=U_{max}$		8,0		mA

Schaltzeiten bei  $U_{Batt}=12 V, F_a=1, T_U=25 ^\circ C$

Taktimpulsdauer	$t_{pT}$	bei 50%		400		ns
Rückstellimpulsdauer	$t_{pR}$			700		ns
Stellimpulsdauer	$t_{pS}$			700		ns
Haltezeit	$t_H$		0			
Vorbereitungszeit	$t_V$		0			
Maximale Zählfrequenz	$f_Z$	Taktverhältnis 1:1		0,5		MHz
Pos. Flankendauer zw. 10% und 90%	$t_r$	$C_L=10 pF$	210	350	490	ns
Neg. Flankendauer zw. 10% und 90%	$t_f$		70	120	170	ns
Einschaltverzögerungszeit <sup>2)</sup>	$t_{pd0T}$	$C_L=10 pF$ bei 4,5 V über Masse		490		ns
Ausschaltverzögerungszeit <sup>2)</sup>	$t_{pd1T}$			330		ns
Einschaltverzögerungszeit <sup>3)</sup>	$t_{pd0R,S}$			350		ns
Ausschaltverzögerungszeit <sup>3)</sup>	$t_{pd1R,S}$			180		ns

## Logische Daten

Ausgangsfächer, log. 1	$F_{a1}$	50
pro Ausgang, log. 0	$F_{a0}$	10

1) Dynamisch wirken  $\bar{R}$  und  $\bar{S}$  wie etwa 1,5 Normallasten

2) Takteingang

3) Stell-, Rückstalleingang

# FZJ 101, FZJ 105, FZJ 111, FZJ 115

## Vorläufige Daten

Statische Kenndaten im 15-V-Bereich  
im Temperaturbereich 1 und 5

		Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{\text{Batt}}$		13,5	15,0	17,0	V
Eingangsspannung, log. 1	$U_{e1}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{a0} \leq 1,7 \text{ V}, I_L=18 \text{ mA}$	7,5			V
Eingangsspannung, log. 0	$U_{e0}$	$U_{\text{Batt}}=U_{\text{min}}$ und $U_{\text{max}}$ $U_{a1} \geq 12 \text{ V}, I_L=-0,1 \text{ mA}$			4,5	V
Ausgangsspannung, log. 1, pro Ausgang	$U_{a1}$	$U_{\text{Batt}}=U_{\text{min}}$ und $U_{\text{max}}$ $U_{e0}=4,5 \text{ V}, I_L=-0,1 \text{ mA}$	12,0	14,3		V
Ausgangsspannung, log. 0, pro Ausgang	$U_{a0}$	$U_{\text{Batt}}=U_{\text{min}}$ $U_{e1}=7,5 \text{ V}, I_L=18 \text{ mA}$		1,0	1,7	V
Statische Störsicherheit, log. 1	$U_{\text{ss}}$		4,5	8,0		V
log. 0	$U_{\text{ss}}$		2,8	5,0		V
Eingangsstrom, log. 1, an allen Eingängen	$I_{e1}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=U_{\text{max}}$			1,0	$\mu\text{A}$
Eingangsstrom, log. 0, an J, K bzw. J <sub>1</sub> , J <sub>2</sub> , K <sub>1</sub> , K <sub>2</sub> und $\bar{R}$ , $\bar{S}$ <sup>1)</sup>	$I_{e0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7 \text{ V}$		-1,0	-1,8	mA
Eingangsstrom, log. 0, an T	$I_{e0}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_{e0}=1,7 \text{ V}$		-2,0	-3,6	mA
Kurzschlußausgangsstrom pro Ausgang	$I_{aK}$	$U_{\text{Batt}}=U_{\text{max}}$ $U_e=0 \text{ V}$	-15,0	-37,0	-60,0	mA
Stromaufnahme	$I_{\text{Batt}}$	$U_{\text{Batt}}=U_{\text{max}}$		11,0		mA

Schaltzeiten bei  $U_{\text{Batt}}=15 \text{ V}, F_a=1, T_U=25 \text{ }^\circ\text{C}$

Taktimpulsdauer	$t_{pT}$	bei 50%		400		ns
Rückstellimpulsdauer	$t_{pR}$			700		ns
Stellimpulsdauer	$t_{pS}$			700		ns
Haltezeit	$t_H$		0			
Vorbereitungszeit	$t_V$		0			
Maximale Zählfrequenz	$f_Z$	Taktverhältnis 1:1		0,5		MHz
Pos. Flankendauer zwischen 10% und 90%	$t_r$	$C_L=10 \text{ pF}$	250	410	580	ns
Neg. Flankendauer zwischen 10% und 90%	$t_f$		50	85	120	ns
Einschaltverzögerungszeit <sup>2)</sup>	$t_{pd0T}$	$C_L=10 \text{ pF}$ bei 4,5 V über Masse		500		ns
Ausschaltverzögerungszeit <sup>2)</sup>	$t_{pd1T}$			360		ns
Einschaltverzögerungszeit <sup>3)</sup>	$t_{pd0R,S}$			360		ns
Ausschaltverzögerungszeit <sup>3)</sup>	$t_{pd1R,S}$			190		ns

## Logische Daten

Ausgangsfächer, log. 1	$F_{a1}$		50
pro Ausgang log. 0	$F_{a0}$		10

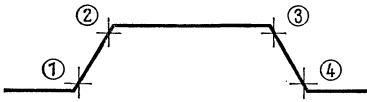
1) Dynamisch wirken  $\bar{R}$  bzw.  $\bar{S}$  wie etwa 1,5 Normallasten

2) Takteingang

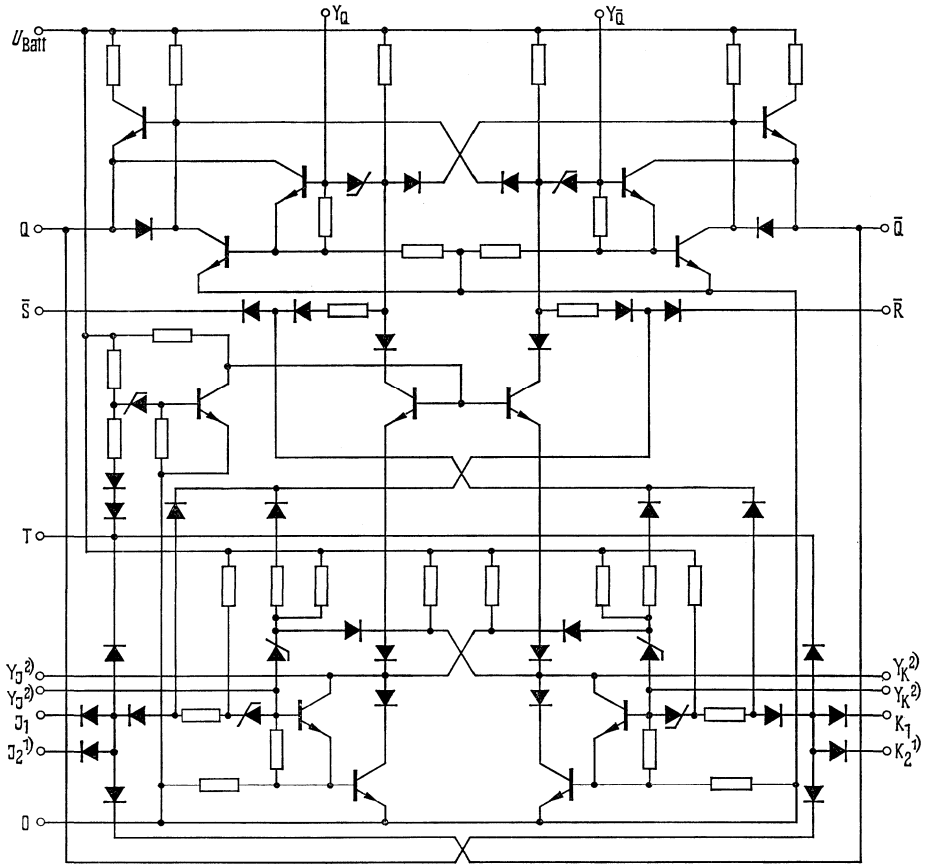
3) Stell-, Rückstelleingang

# FZJ 101, FZJ 105, FZJ 111, FZJ 115

Taktimpuls



- 1 Slave von Master trennen
- 2 Signal von J und K in Master eingeben
- 3 J- und K-Eingänge sperren
- 4 Information von Master nach Slave übertragen



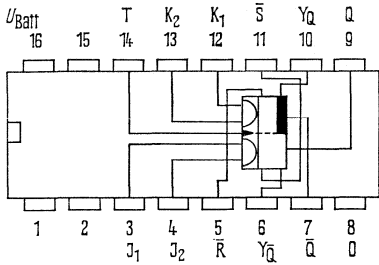
Schaltschema

$\bar{R}$  = Rückstelleingang,  $\bar{S}$  = Stelleingang, T = Takteingang

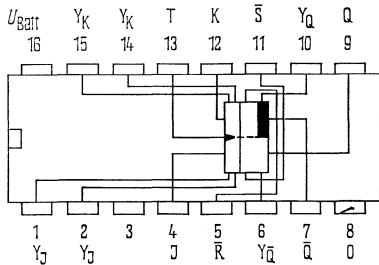
1) Nur bei FZJ 101, 105    2) Nur bei FZJ 111, 115



# FZJ 101, FZJ 105, FZJ 111, FZJ 115



FZJ 101, FZJ 105  
Anschlußanordnung  
Ansicht von oben



FZJ 111, FZJ 115  
Anschlußanordnung  
Ansicht von oben

## Logisches Verhalten

$t_n$		$t_{n+1}$
J	K	Q
0	0	Q <sub>n</sub>
0	1	0
1	0	1
1	1	Q̄ <sub>n</sub>

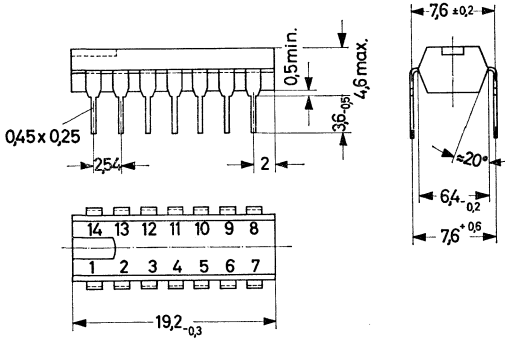
$$\left. \begin{aligned} J &= J_1 \wedge J_2 \\ K &= K_1 \wedge K_2 \end{aligned} \right\} \text{ bei FZJ 101, FZJ 105}$$

$t_n$  = Zeitpunkt vor dem Taktimpuls  
 $t_{n+1}$  = Zeitpunkt nach dem Taktimpuls

Niedrige Spannung an  $\bar{R}$  bringt Q auf log. 0  
 Niedrige Spannung an  $\bar{S}$  bringt Q auf log. 1  
 $\bar{R}$  und  $\bar{S}$  arbeiten unabhängig von T

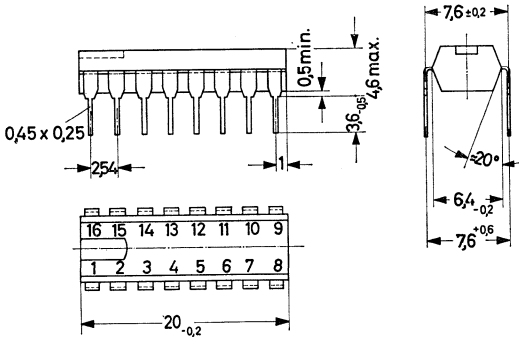
# Bauformen

## 1. Plastik-Steckgehäuse 14 Anschlüsse



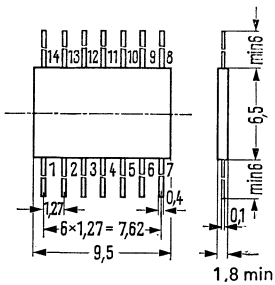
Gewicht etwa 1,1 g  
Maße mm

## 2. Plastik-Steckgehäuse 16 Anschlüsse



Gewicht etwa 1,2 g  
Maße mm

## 3. Flachgehäuse TO 87



Gewicht etwa 0,35 g  
Maße mm

---

## **Digitale integrierte MOS-Halbleiterschaltungen**

---

# Allgemeine Angaben zur Serie GD 100 und GE 100

## Logikschaltungen

Die Serien GD 100 und GE 100 sind monolithisch integrierte Halbleiterschaltungen. Die Serie GD 100 verwendet P-Kanal MOS-Transistoren vom Anreicherungstyp, bei der Serie GE 100 wird die MNS-Technik angewendet. Die Vorteile der MOS- und MNS-Technik sind geringe Leistungsaufnahme und hohe Zuverlässigkeit. Durch den hohen Integrationsgrad der MOS-Technik läßt sich eine außerordentlich große Packungsdichte erzielen. Die Schaltungen zeichnen sich durch große Störsicherheit und hohen Eingangswiderstand aus. Alle Ausgänge haben Leistungsstufen. Die beiden Serien werden für Zeitgeber, Dekoder und Multiplexeinheiten, der Volladdierer für Boole'sche Algebra eingesetzt. Es werden negative Logikdefinitionen verwendet:

log. 0  $\triangleq$  0-Potential

log. 1  $\triangleq$  negativem Potential

Wenn Sie andere als die hier aufgeführten Bausteine benötigen, bitten wir um Ihre Anfragen. Die MOS-Technik ermöglicht es, spezifische Schaltungswünsche wirtschaftlich zu verwirklichen. Bitte wenden Sie sich mit ihren speziellen technischen Problemen an uns.

## Hinweis zur sachgemäßen Behandlung

MOS-Bauteile müssen beim Bearbeiten, Prüfen und Transport vor Zerstörung durch statische Aufladung geschützt werden.

Die Eingänge der Siemens MOS-Schaltungen sind durch ein Netzwerk aus einem Widerstand und einer Zenerdiode weitgehend gegen Zerstörung durch statische Aufladung geschützt. Es können jedoch sehr große statische Entladungen auftreten, die die MOS-Schaltungen zerstören würden, wenn nicht besondere Vorsichtsmaßnahmen ergriffen werden.

1. Wenn möglich, sollen die MOS-Schaltungen erst dann aus der Verpackung herausgenommen werden, wenn alle Vorbereitungen z. B. zum Testen oder zum Einbau abgeschlossen sind. Das gleiche gilt für die Abnahme der Kurzschlußbügel.
2. Arbeitstische für Arbeiten an MOS-Schaltungen müssen eine leitende Berührungsleiste haben. Metallteile müssen geerdet sein.
3. Geräte und Testvorrichtungen müssen geerdet sein.
4. Alle Personen, die MOS-Schaltungen bearbeiten, müssen beim Arbeiten die leitende Berührungsleiste berühren.
5. MOS-Schaltungen, die aus der Prüffassung oder aus ihrer Originalverpackung herausgenommen worden sind, dürfen nur auf einer leitenden Unterlage oder in einem Metallbehälter abgelegt werden.
6. Positive Spannungen bezogen auf Substrat dürfen in keinem Fall an die Anschlüsse der MOS-Bauelemente angelegt werden.
7. MOS-Bauelemente dürfen nicht an den Beinen angefaßt werden, sondern nur an der Spitze der Kappe. Bei Flat-packs muß das Bauelement mit der Pinzette angefaßt werden.
8. Während der Lagerung müssen MOS-Bauelemente in einer geeigneten Verpackung bleiben. Die Anschlüsse müssen entweder mit einem leitenden Schaumstoff oder mit einem Kurzschlußbügel kurzgeschlossen sein. Auf keinen Fall dürfen MOS-Bauelemente in einen nicht leitenden Schaumstoff gesteckt werden.
9. Nylon-Arbeitsmäntel oder Arbeitsmäntel aus irgendeinem anderen Material, welches die statische Aufladung fördert, sollen vermieden werden.

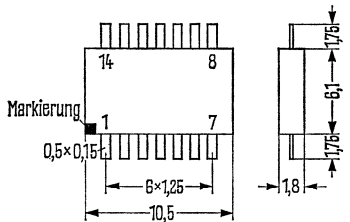
10. Wenn möglich, sollte der Unterarm der Person, die mit den Schaltungen arbeitet, frei sein und auf der Berührungsleiste aufliegen.
11. Da es scheint, daß die statische Aufladung in umgekehrtem Verhältnis zur relativen Feuchtigkeit steht, ist es ratsam, diese auf mindestens 50% zu halten.
12. In keinem Fall darf die arbeitende Person mit einer harten Erde verbunden sein. Es sollte immer mindestens ein Widerstand von 10 kOhm zwischen der betreffenden Person und der echten Erde (Nulleiter) sein.
13. Die Außenflächen der Testanlagen sollen mit der harten Erde verbunden sein, um gefährliche Berührungsspannungen zu vermeiden.

## Bauformen

1. Keramik-Flachgehäuse mit 14 Anschlüssen (TO-87)
2. Keramik-Flachgehäuse mit 16 Anschlüssen
3. Keramik-Flachgehäuse mit 24 Anschlüssen
4. Keramik-Steckgehäuse mit 14 Anschlüssen
5. Keramik-Steckgehäuse mit 16 Anschlüssen
6. Keramik-Steckgehäuse mit 24 Anschlüssen
7. Gehäuse TO-73
8. Gehäuse TO-74
9. Gehäuse (ähnlich TO-72)

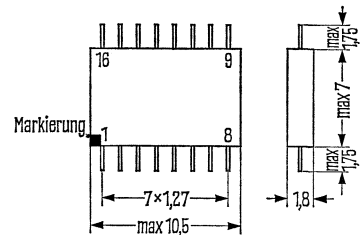
### Bauform 1

Flachgehäuse mit 14 Anschlüssen (TO-87)



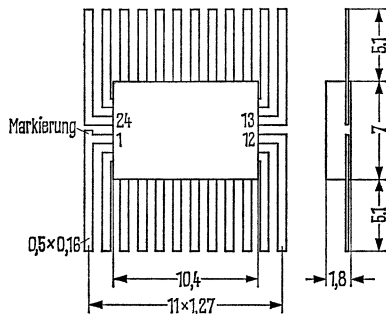
### Bauform 2

Flachgehäuse mit 16 Anschlüssen



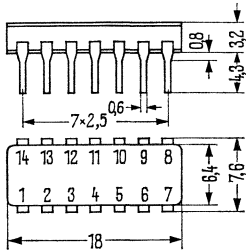
### Bauform 3

Flachgehäuse mit 24 Anschlüssen



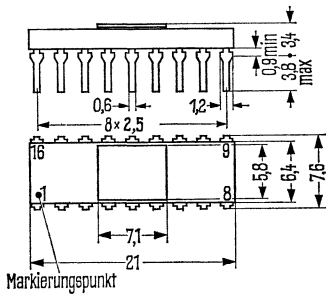
#### Bauform 4

Steckgehäuse mit 14 Anschlüssen



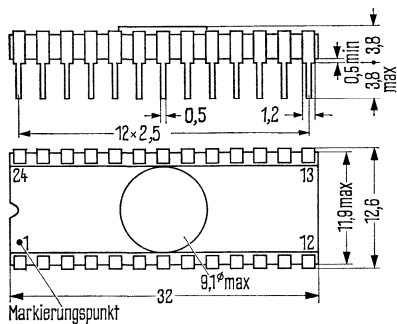
#### Bauform 5

Steckgehäuse mit 16 Anschlüssen



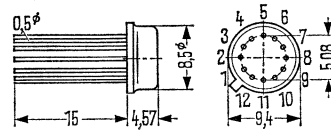
#### Bauform 6

Steckgehäuse mit 24 Anschlüssen



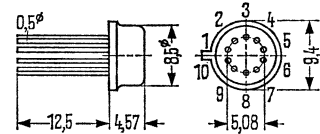
#### Bauform 7

Gehäuse ähnlich 5 G 12 DIN 41873  
(TO-73)



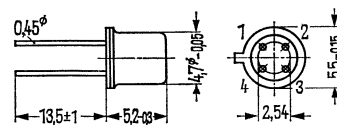
#### Bauform 8

Gehäuse ähnlich 5 G 10 DIN 41873  
(TO-74)



#### Bauform 9

Gehäuse 18 A 4 DIN 41876  
(ähnlich TO-72)



**Vier UND-Glieder mit je 2 Eingängen**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-20	V
Gate-Spannung	$U_{GG}$	0,3	-30	V
Eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 2, siehe Seite 132**

**Kenndaten** bei  $U_{GG} = -27 \text{ V} \pm 1 \text{ V}$ ,  $U_{DD} = -13 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 25 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$ , wenn nicht anders angegeben.

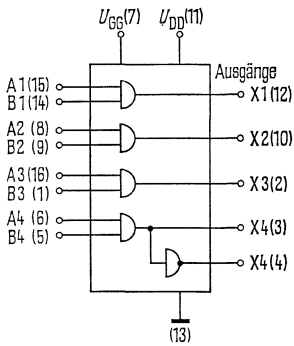
		Prüfbedingungen	min	typ	max	Einheit
<b>Eingänge</b>						
Eingangsspannung, log. 0	$U_{e0}$	$U_e = -20 \text{ V}$	-10		-2	V
Eingangsspannung, log. 1	$U_{e1}$				V	
Sperrstrom	$I_e$				5	$\mu\text{A}$
Eingangskapazität	$C_e$				5	pF
Frequenzbereich	$f$				1	MHz
Impulsbreite	$\tau$	500			ns	
<b>Ausgänge</b>						
Ausgangsspannung, log. 0	$U_{a0}$	$I_a \leq 0,15 \text{ mA}$ $R_L = 100 \text{ k}\Omega$ $R_L = 25 \text{ k}\Omega$   $U_e = 0 \text{ V}$ $R_L = 4 \text{ k}\Omega$	-11	-0,5	-1	V
Ausgangsspannung, log. 1	$U_{a1}$			-12	$U_{DD}$	V
Ausgangsspannung, log. 1	$U_{a1}$			-10	-11	V
Ausgangsspannung, log. 1	$U_{a1}$			-5		V
Ausgangswiderstand gegen Masse	$R_a$		3000	5500	$\Omega$	
Lastkapazität	$C_L$				25	pF
Schaltzeiten						
Ausschaltverzögerungszeit	$t_{pd0(2)}$	} siehe Bild 1		300	400	ns
	$t_{pd0(3)}$			200	275	ns
Einschaltverzögerungszeit	$t_{pd1(1)}$			250	350	ns
	$t_{pd1(4)}$			250	350	ns
<b>Stromaufnahme je</b>						
UND-Glied 1, 2, 3	$I_{DD}$				0,5	mA
	$I_{GG}$				0,8	mA
Glied 4	$I_{DD}$				0	mA
	$I_{GG}$				1,6	mA



## Logische Funktion

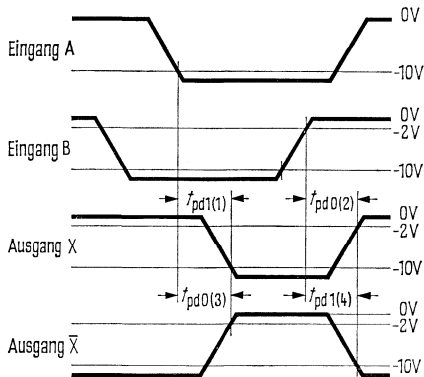
Ausgänge  $X1 = A \wedge B$   
 $X2 = A \wedge B$   
 $X3 = A \wedge B$   
 $X4 = A \wedge B$   
 ferner Ausgang  $\overline{X4} = \overline{A \wedge B}$

**Blockschaltbild** (Zahlen in Klammern bezeichnen Anschlußstifte)



## Impulsdiagramm

Bild 1



**Zwei NOR-Glieder mit je 3 Eingängen**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 8**, siehe Seite 133

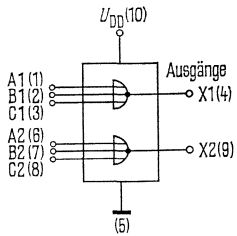
**Kenndaten** bei  $U_{DD} = -27\text{ V} \pm 1\text{ V}$ ,  $R_L = 10\text{ M}\Omega$ ,  $C_L = 25\text{ pF}$ ,  $T_U = -55\text{ °C}$  bis  $85\text{ °C}$ , wenn nicht anders angegeben.

	Prüfbedingungen	min	typ	max	Einheit	
<b>Eingänge</b>						
Eingangsspannung, log. 0	$U_{e0}$	$U_e = -20\text{ V}$	-10	-2	V	
Eingangsspannung, log. 1	$U_{e1}$			V		
Sperrstrom	$I_e$			5	$\mu\text{A}$	
Eingangskapazität	$C_e$			5	pF	
Impulsbreite	$\tau$			500	ns	
<b>Ausgänge</b>						
Ausgangsspannung, log. 0	$U_{a0}$	$U_e = 0\text{ V}$ , $R_L = 27\text{ k}\Omega$ $U_e = -10\text{ V}$ , $I_a = 1\text{ mA}$	-11	-0,3	-0,5	V
Ausgangsspannung, log. 1	$U_{a1}$			-12	-22	V
Ausgangsspannung, log. 1	$U_{a1}$			-10	-11	V
Ausgangswiderstand gegen Masse	$R_a$			2500	4000	$\Omega$
Lastkapazität	$C_L$					25
Schaltzeiten						
Einschaltverzögerungszeit	$t_{pd1}$	} siehe Bild 1	200	330	ns	
Ausschaltverzögerungszeit	$t_{pd0}$		200	330	ns	
<b>Stromaufnahme</b> pro Glied	$I_{DD}$	$U_e = -10\text{ V}$ , ohne Last	0,7	1,3	mA	

## Logische Funktion

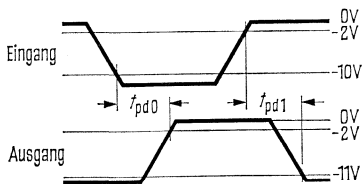
jeder Ausgang  $X = \overline{A \vee B \vee C}$

Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)



## Impulsdiagramm

Bild 1



**Vier NOR-Glieder mit je 2 Eingängen**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Gate-Spannung	$U_{GG}$	0,3	-30	V
Eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 2**, siehe Seite 132

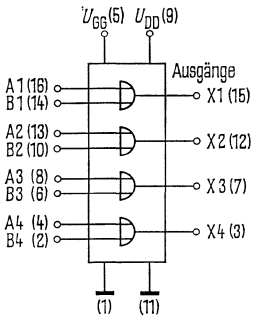
**Kenndaten** bei  $U_{GG} = -27 \text{ V} \pm 1 \text{ V}$ ,  $U_{DD} = -13 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 25 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$ , wenn nicht anders angegeben.

		Prüfbedingungen	min	typ	max	Einheit
<b>Eingänge</b>						
Eingangsspannung, log. 0	$U_{e0}$	$U_e = -20 \text{ V}$	-10		-2	V
Eingangsspannung, log. 1	$U_{e1}$				V	
Sperrstrom	$I_e$				5	$\mu\text{A}$
Eingangskapazität	$C_e$				5	pF
Impulsbreite	$\tau$				500	ns
<b>Ausgänge</b>						
Ausgangsspannung, log. 0	$U_{a0}$	$I_a \leq 0,12 \text{ mA}$ $R_L = 100 \text{ k}\Omega$ $R_L = 25 \text{ k}\Omega$   $U_e = 0 \text{ V}$ $R_L = 4 \text{ k}\Omega$ $U_e = -10 \text{ V}, I_a = 1 \text{ mA}$	-11	-0,3	-0,5	V
Ausgangsspannung, log. 1	$U_{a1}$			-12	$U_{DD}$	V
Ausgangsspannung, log. 1	$U_{a1}$			-11	V	
Ausgangsspannung, log. 1	$U_{a1}$			-5	V	
Ausgangswiderstand gegen Masse	$R_a$			2500	4000	$\Omega$
Lastkapazität	$C_L$			25	pF	
Schaltzeiten						
Einschaltverzögerungszeit	$t_{pd1}$	} siehe Bild 1		200	330	ns
Ausschaltverzögerungszeit	$t_{pd0}$			200	330	ns
Stromaufnahme pro Glied	$I_{DD}$	$U_e = -10 \text{ V}$ , ohne Last		0,25	0,5	mA

## Logische Funktion

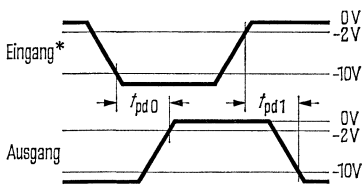
Jeder Ausgang  $X = \overline{A \vee B}$

Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)



## Impulsdiagramm

Bild 1



\*) andere Eingänge log.0

**Zwei exklusiv-ODER-Glieder mit je 2 Eingängen und Invertern**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 8, siehe Seite 133**

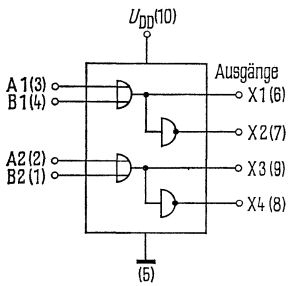
**Kenndaten** bei  $U_{DD} = -27\text{ V} \pm 1\text{ V}$ ,  $R_L = 10\text{ M}\Omega$ ,  $C_L = 25\text{ pF}$ ,  $T_U = -55\text{ °C}$  bis  $85\text{ °C}$ , wenn nicht anders angegeben.

		Prüfbedingungen	min	typ	max	Einheit
<b>Eingänge</b>						
Eingangsspannung, log. 0	$U_{e0}$	$U_e = -20\text{ V}$ $U_e = 0\text{ V}$	-10	3	-2	V
Eingangsspannung, log. 1	$U_{e1}$				V	
Sperrstrom	$I_e$				5	$\mu\text{A}$
Eingangskapazität	$C_e$				5	pF
Impulsbreite	$\tau$		500			ns
<b>Ausgänge</b>						
Ausgangsspannung, log. 0	$U_{a0}$	$R_L = 27\text{ k}\Omega$ , $U_e$ an A = $U_e$ an B = 0 V bzw. -10 V	-11	-0,5	-1	V
Ausgangsspannung, log. 1	$U_{a1}$			-12	V	
Ausgangsspannung, log. 1	$U_{a1}$			-11	V	
Ausgangswiderstand gegen Masse	$R_a$	$U_e$ an A = 0 V, $U_e$ an B = -10 V bzw. $U_e$ an A = -10 V, $U_e$ an B = 0 V		2000	3000	$\Omega$
Lastkapazität	$C_L$				25	pF
Schaltzeiten						
Einschaltverzögerungszeit	$t_{pd1}$	} siehe Bild 1		300	450	ns
Ausschaltverzögerungszeit	$t_{pd0}$			300	450	ns
Stromaufnahme pro Ausgang	$I_{DD}$			1,3	2,3	mA

## Logische Funktion

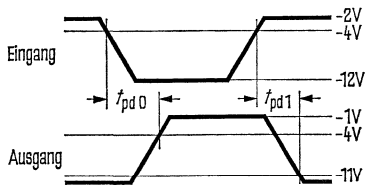
Ausgang  $X = (A \wedge \bar{B}) \vee (\bar{A} \wedge B)$

Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)



## Impulsdiagramm

Bild 1



# GDH 146, Q 67000-M 4; GDH 146 A, Q 67000-M 5

## Zwei Volladdierer

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Gate-Spannung	$U_{GG}$	0,3	-30	V
Takt- und Informations- eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

Bauform 1, siehe Seite 132 (GDH 146)

Bauform 4, siehe Seite 133 (GDH 146 A)

**Kenndaten** bei  $U_{GG} = -27 \text{ V} \pm 1 \text{ V}$ ,  $U_{DD} = -13 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 10 \text{ M}\Omega$ ,  $C_L = 25 \text{ pF}$ ,  $T_U = -55 \text{ }^\circ\text{C}$ , wenn nicht anders angegeben.

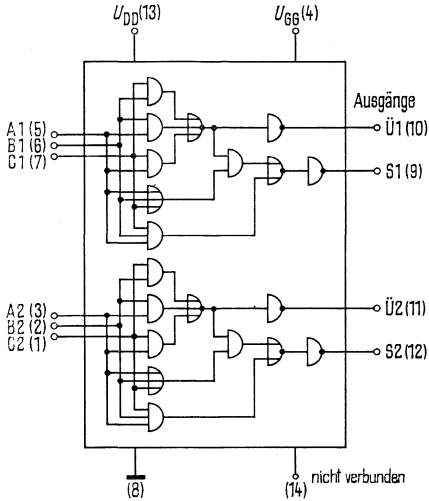
	Prüfbedingungen	min	typ	max	Einheit	
<b>Eingänge</b>						
Eingangsspannung, log. 0	$U_{e0}$			-2	V	
Eingangsspannung, log. 1	$U_{e1}$	-10			V	
Sperrstrom	$I_e$	$U = -20 \text{ V}$		5	$\mu\text{A}$	
Eingangskapazität	$C_e$			5	pF	
Impulsbreite	$\tau$	500			ns	
<b>Ausgänge</b>						
Ausgangsspannung, log. 0	$U_{a0}$		-0,3	-0,5	V	
Ausgangsspannung, log. 1	$U_{a1}$	-11		$U_{DD}$	V	
Ausgangsspannung, log. 1	$U_{a1}$	-10	-11		V	
Ausgangswiderstand gegen Masse	$R_a$		2000	3000	$\Omega$	
Lastkapazität	$C_L$			25	pF	
Schaltzeiten						
Einschaltverzögerungszeit	$t_{pd1}$	siehe Bild 1		350	500	ns
Ausschaltverzögerungszeit	$t_{pd0}$			350	500	ns
<b>Stromaufnahme</b>						
	$I_{GG}$	alle Ausgänge		1,4	2	mA
	$I_{DD}$	log. 0			0,1	mA
	$I_{GG}$	log. 1			0,1	mA
	$I_{DD}$	ohne Last		1,2	1,8	mA



## Logische Funktion

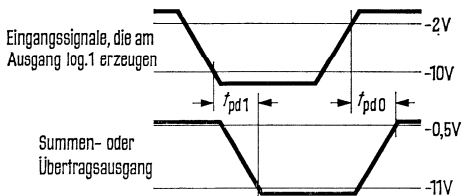
Jeder Summenausgang  $S = (A \wedge B \wedge C) \vee (A \wedge \bar{B} \wedge \bar{C}) \vee (\bar{A} \wedge B \wedge \bar{C}) \vee (\bar{A} \wedge \bar{B} \wedge C)$   
 Jeder Übertragungsausgang  $\bar{U} = (A \wedge B) \vee (B \wedge C) \vee (A \wedge C)$

Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)



## Impulsdigramm

Bild 1



**Zwei JK-Flipflops**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Gate-Spannung	$U_{GG}$	0,3	-30	V
Eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 3, siehe Seite 132**

**Kenndaten** bei  $U_{GG} = -27 \text{ V} \pm 1 \text{ V}$ ,  $U_{DD} = -13 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 25 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$ , wenn nicht anders angegeben.

	Prüfbedingungen	min	typ	max	Einheit	
<b>Takteingang</b>						
Eingangsspannung, log. 0	$U_{e0}$			-2	V	
Eingangsspannung, log. 1	$U_{e1}$	-10			V	
Sperrstrom	$I_e$	$U_e = -20 \text{ V}$		5	$\mu\text{A}$	
Zählfrequenz	$f_Z$	0		1	MHz	
Anstiegszeit, Abfallzeit	$t_r, t_f$	10% bis 90%		50	$\mu\text{s}$	
<b>Kontrolleingänge</b>						
Eingangsspannung, log. 0	$U_{e0}$			-2	V	
Eingangsspannung, log. 1	$U_{e1}$	-10			V	
Sperrstrom	$I_e$	$U_e = -20 \text{ V}$		5	$\mu\text{A}$	
Eingangskapazität	$C_e$		2	3	pF	
<b>Ausgänge</b>						
Ausgangsspannung, log. 0	$U_{a0}$	0	-0,3	-0,5	V	
Ausgangsspannung, log. 1	$U_{a1}$	-10			V	
Ausgangswiderstand gegen Masse	$R_a$	$R_L = 25 \text{ }\Omega\text{k}$ $I_a = 1 \text{ mA}$		2500	$\Omega$	
Lastkapazität	$C_L$			25	pF	
Schaltzeiten						
Verzögerungszeit	$t_{pd}$	von 50% Takt bis 50% Ausgang, s. Bild 1		300	350	ns
Abfallzeit	$t_f$	-9 V bis -2,2 V		120	150	ns
Anstiegszeit	$t_r$	-2,2 V bis -9 V		160	200	ns
<b>Stromaufnahme</b>						
	$I_{GG}$		3,2	4,75	mA	
	$I_{DD}$		2	2,8	mA	

Jeder der beiden Flipflops hat einen Takteingang, zwei J-Eingänge in wired OR-Verknüpfung und zwei K-Eingänge in wired OR-Verknüpfung, einen direkten Stell- und Rückstelleingang. Die Funktionstabelle zeigt die Ausgangsschaltzustände für alle Eingangskombinationen.

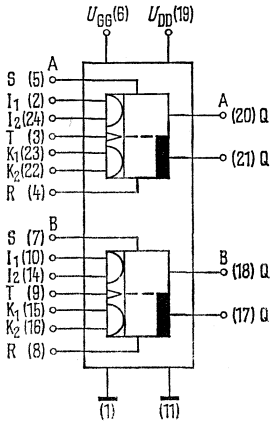
**Funktionstabelle**

Q <sub>n</sub>	J <sub>1</sub>	J <sub>2</sub>	K <sub>1</sub>	K <sub>2</sub>	S	R	Q <sub>n+1</sub>	Anmerkungen
0	0	0	0	0	0	0	0	kein Signalwechsel an den Ausgängen
1	0	0	0	0	0	0	1	
×	0	1	0	0	0	0	1	Liegt am Takteingang log.1, dann wird J-Eingang zu log.1. Signalwechsel an den Ausgängen erfolgt auf die Rückflanke des Taktimpulses.
	1	0						
×	0	0	0	1	0	0	0	Liegt am Takteingang log.1, dann wird K-Eingang zu log.1. Signalwechsel an den Ausgängen erfolgt auf die Rückflanke des Taktimpulses.
			1	0				
Q <sub>n</sub>	0	1	0	1	0	0	Q̄ <sub>n</sub>	Flipflop Schaltung: Eingänge führen log.1, wenn der Takt log.1 hat. Signalwechsel an den Ausgängen erfolgt auf die Rückflanke des Taktimpulses.
	1	0	1	0				
×	×		×		0	1	0	Rückstellen: Signalwechsel an den Ausgängen erfolgt auf die Vorderflanke des Taktimpulses.
×	×		×		1	0	1	Stellen: Signalwechsel an den Ausgängen erfolgt auf die Vorderflanke des Taktimpulses.
×	×		×		1	1	×	Unzulässige Bedingung.

× = log.0 oder log.1

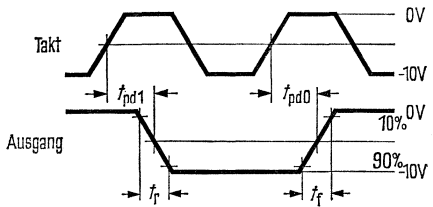
# GDJ 106

**Blockschaltbild**  
(Zahlen in Klammern bezeichnen Anschlußstifte)  
(12), (13) nicht verbunden

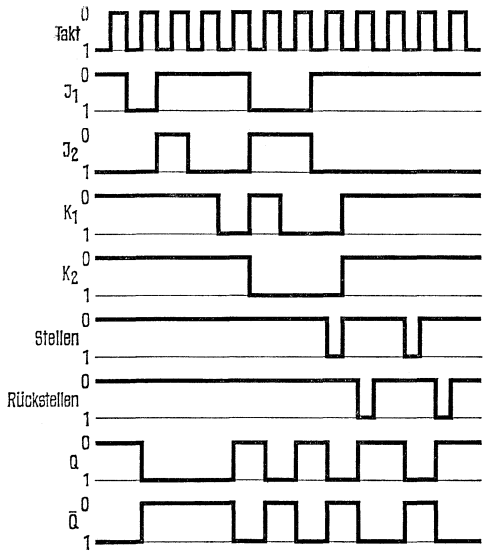


Impulsdiagramm

Bild 1



Funktionsdiagramm



## 4-Bit-binärer Vor-Rückzähler mit Rückstelleingang

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

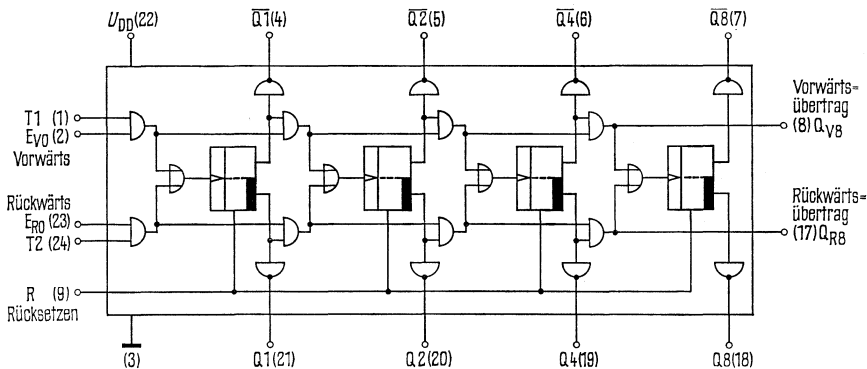
### Bauform 3, siehe Seite 132

**Kenndaten** bei  $U_{DD} = -27 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 10 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$ , wenn nicht anders angegeben.

	Prüfbedingungen	min	typ	max	Einheit
<b>Takteingang</b>					
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_e$	20			MΩ
Zählfrequenz	$f_Z$	0		2,5	MHz
Impulsbreite	$\tau$	225			ns
Totzeit	$t_t$	150			ns
Schaltzeiten					
Abfallzeit	$t_f$			500	μs
Anstiegszeit	$t_r$			500	μs
<b>Rückstelleingang</b>					
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_e$	20			MΩ
Impulsbreite	$\tau$	225			ns
Taktverzögerung	$t_{pdT}$	100			ns
Verzögerung Ausgänge Q	$t_{pd0}$			435	ns
Verzögerung Ausgänge $\bar{Q}$	$t_{pd0}$			300	ns
<b>Vor-Rückkontrolle</b>					
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_a$	20			MΩ
Stellzeit	$t_s$	0			ns

		Prüfbedingungen	min	typ	max	Einheit
<b>Informationsausgang</b>						
Ausgangsspannung, log. 0	$U_{a0}$			-0,5	-1	V
Ausgangsspannung, log. 1	$U_{a1}$		-11	-12		V
Ausgangsspannung, log. 1	$U_{a1}$	$R_L = 27 \text{ k}\Omega$ $R_L = 4,7 \text{ k}\Omega$ bei log. 0	-10	-11		V
Ausgangsspannung, log. 1	$U_{a1}$		-5			V
Ausgangswiderstand gegen Masse	$R_a$			2	3	$\text{k}\Omega$
Schaltzeiten						
Ausschaltverzögerungszeit						
Ausgang Q1 und $\bar{Q}1$	$t_{pd0(1)}$	siehe Bild 1			425	ns
Ausgang Q2 und $\bar{Q}2$	$t_{pd0(2)}$				500	ns
Ausgang Q4 und $\bar{Q}4$	$t_{pd0(4)}$				600	ns
Ausgang Q8 und $\bar{Q}8$	$t_{pd0(8)}$				650	ns
Ausgang $Q_{V8}$ und $Q_{R8}$	$t_{pd0}$				525	ns
Einschaltverzögerungszeit						
Ausgang Q1 und $\bar{Q}1$	$t_{pd1(1)}$	siehe Bild 1			300	ns
Ausgang Q2 und $\bar{Q}2$	$t_{pd1(2)}$				375	ns
Ausgang Q4 und $\bar{Q}4$	$t_{pd1(4)}$				450	ns
Ausgang Q8 und $\bar{Q}8$	$t_{pd1(8)}$				525	ns
Ausgang $Q_{V8}$ und $Q_{R8}$	$t_{pd1}$				375	ns
Leistungsverbrauch	$P$				300	mW
Stromaufnahme	$I_{DD}$				11	mA

**Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)**



# GDJ 116

## Betriebsarten

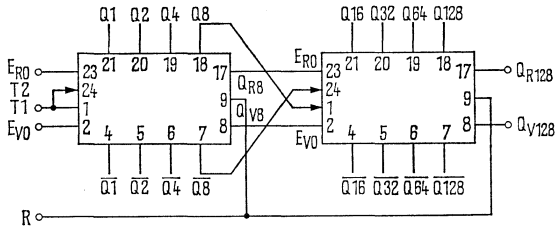
Vorwärts zählen, setzen  $E_{R0} = \text{log. } 0$ ,  $E_{V0} = \text{log. } 1$ ,  $T1 = T2 = \text{Takt}$

Rückwärts zählen, setzen  $E_{R0} = \text{log. } 1$ ,  $E_{V0} = \text{log. } 0$ ,  $T1 = T2 = \text{Takt}$

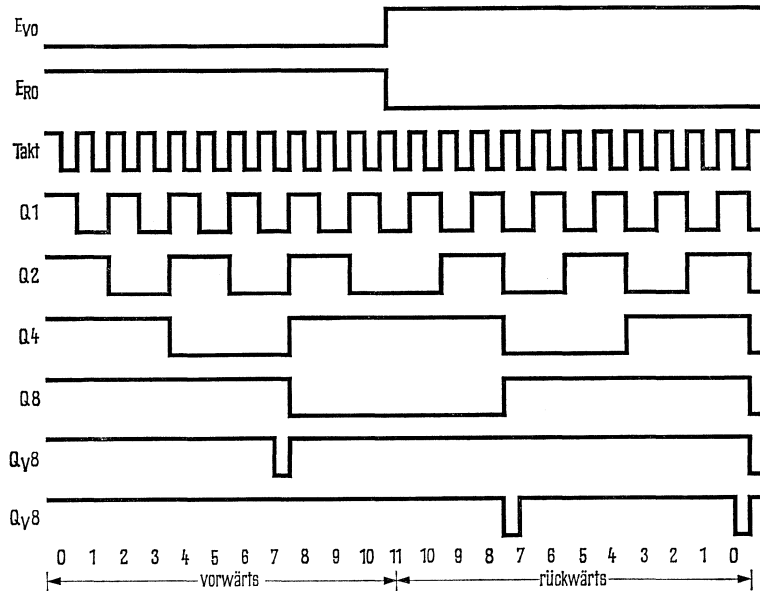
Zähler stoppen, setzen  $E_{R0} = \text{log. } 0$ ,  $E_{V0} = \text{log. } 0$ , oder Takt bei log. 0 stoppen

Rückstellen, setzen  $R = \text{log. } 1$

Um weiter als bis 16 zu zählen, müssen zwei GDJ 116 folgendermaßen zusammengeschaltet werden:



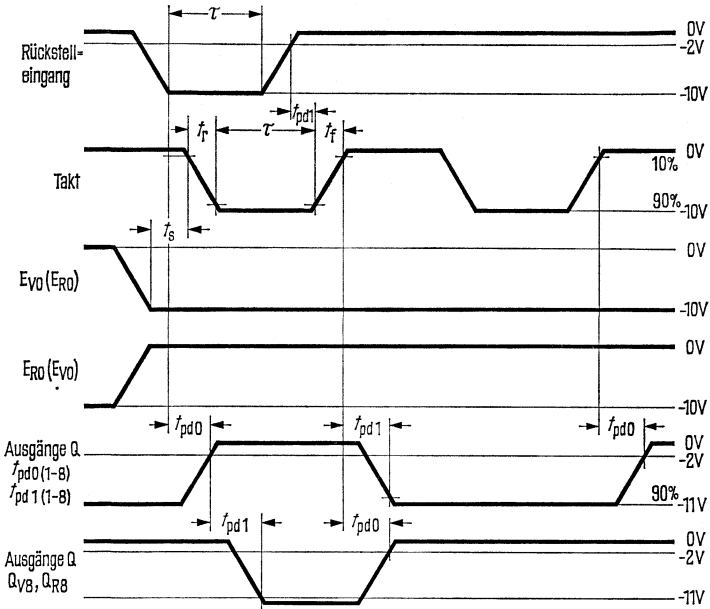
## Funktionsdiagramm





Impulsdiagramm

Bild 1



**Statisches 5-Bit-Schieberegister mit Paralleleingabe und Parallelausgabe**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Takt- und Informations- eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 2**, siehe Seite 132

**Kenndaten** bei  $U_{DD} = -13\text{ V} \pm 1\text{ V}$ ,  $R_L = 1\text{ M}\Omega$ ,  $C_L = 10\text{ pF}$ ,  $T_U = -55\text{ °C}$  bis  $85\text{ °C}$ , wenn nicht anders angegeben.

		Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$				-2	V
Eingangsspannung, log. 1	$U_{e1}$		-26		-28	V
Eingangswiderstand, Takt 1	$R_{e1}$		250			kΩ
Eingangswiderstand, Takt 2	$R_{e2}$		10	15		kΩ
Eingangskapazität, Takt 1	$C_{e1}$	Takt 1 = Takt 2 = 0 V		2	4	pF
Eingangskapazität, Takt 2	$C_{e2}$	Takt 1 = Takt 2 = 0 V		4	6	pF
Frequenzbereich	$f$		0		1	MHz
Impulsbreite, Impuls 1	$\tau_1$		0,2		10	μs
Impulsbreite, Impuls 2	$\tau_2$		0,4			μs
<b>Schaltzeiten</b>						
Taktimpulsverzögerungszeit	$t_{pdT}$		0,1		10	μs
Abfallzeit	$t_f$	} 10% bis 90%			150 <sub>v</sub>	ns
Anstiegszeit	$t_r$				150	ns
<b>Serieneingang</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$				-2	V
Eingangsspannung, log. 1	$U_{e1}$		-10			V
Eingangswiderstand	$R_e$		20			MΩ
Eingangskapazität	$C_e$				3	pF
Störsicherheit	$U_{SS}$		1	2		V
Impulsbreite	$\tau$				0,2 + $\tau_1 \cdot \tau_r$	μs
<b>Paralleleingang</b>		siehe Bild 2				
Eingangsspannung, log. 0	$U_{e0}$				-2	V
Eingangsspannung, log. 1	$U_{e1}$		-10			V
Eingangswiderstand	$R_e$	$U_e = 20\text{ V}, I_e = 1\text{ }\mu\text{A}$ Takt 2 = -27 V $U_e = 0\text{ V}$	20			MΩ
Eingangskapazität	$C_e$			3		pF
Impulsbreite	$\tau$		0,5			μs
Verzögerungszeit	$t_{pd}$		0,1			μs

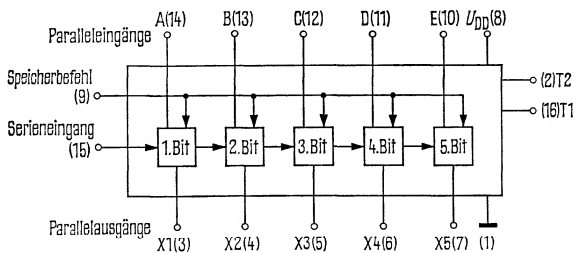
		Prüfbedingungen	min	typ	max	Einheit
<b>Speicherbefehl</b>						
Eingangsspannung, log. 0	$U_{e0}$	siehe Bild 2 $U_e = -20\text{ V}, I_e = 1\ \mu\text{A}$ $U_e = 0\text{ V}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$		-10			V
Eingangswiderstand	$R_e$		20			M $\Omega$
Eingangskapazität	$C_e$			3		pF
Impulsbreite	$\tau$		0,7			$\mu\text{s}$
<b>Informationsausgang</b>						
Ausgangsspannung, log. 0	$U_{a0}$	bei log. 0, Laststrom 0,5 mA		-0,5	-1	V
Ausgangsspannung, log. 1	$U_{a1}$		-11	-12		V
Ausgangswiderstand gegen Masse	$R_a$				3	k $\Omega$
<b>Leistungsverbrauch</b>						
Stromaufnahme	$P$ $I_{DD}$				270 10	mW mA

Das Schieberegister hat zwei Takteingänge und kann entweder parallel oder seriell betrieben werden. Das Einschreiben in Parallelbetrieb erfolgt durch einen Speicherbefehl während Takt 2 auf log. 1 liegt.

In Serienbetrieb wird die Information ins Register geschoben, während Takt 1 auf log. 1 liegt. Die gespeicherten Informationen werden gleichzeitig eine Stufe weiter geschoben. Die Informationen erscheinen an den Ausgängen mit der negativen Flanke des Taktes 2.

Jedes Verzögerungsbit ist ein kreuzgekoppeltes Flipflop, damit die Information unbegrenzt zwischen zwei Taktimpulsen gespeichert werden kann. Für Langzeitspeicherung müssen Takt 2 auf log. 1 und Takt 1 auf log. 0 liegen. Takt 1 und Takt 2 dürfen nicht gleichzeitig auf log. 1 liegen.

### Blockschaltbild (Zahlen in Klammern bezeichnen Anschlussstifte)



# GDJ 126

## Impulsdiagramme

Bild 1

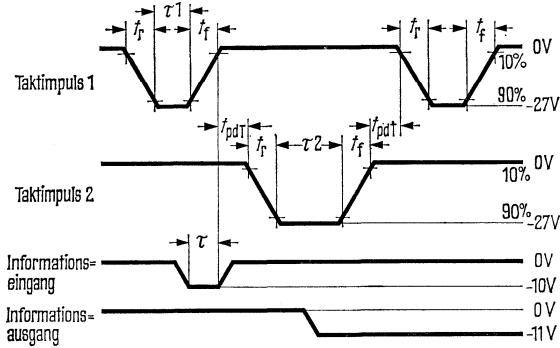
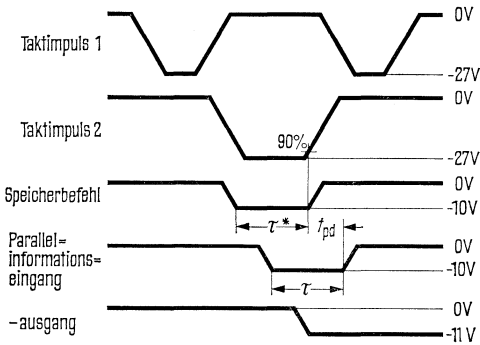
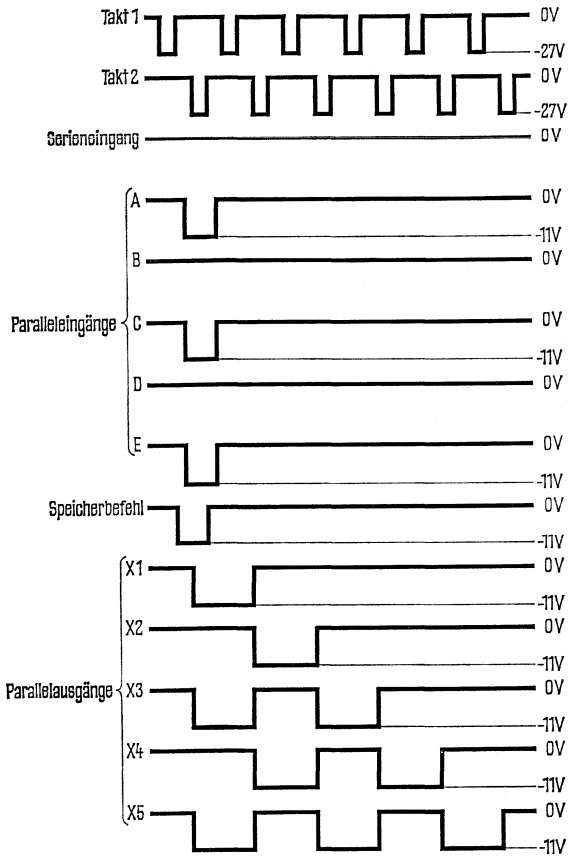


Bild 2



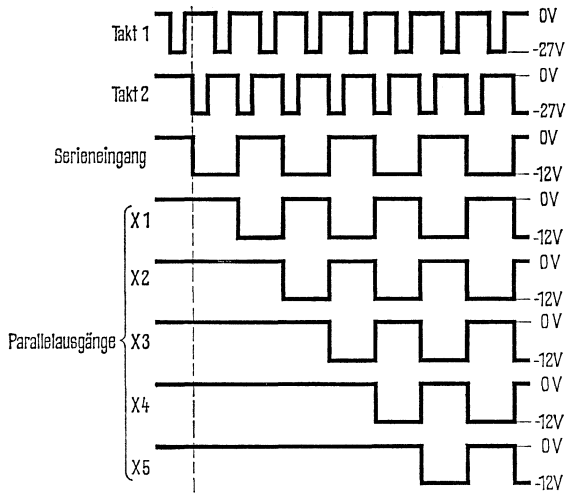
\*) Die Vorderflanke des Speicherbefehls kann durch den vorhergehenden Taktimpuls 1 erzeugt werden

Funktionsdiagramm für Paralleleingabe und Parallelausgabe



# GDJ 126

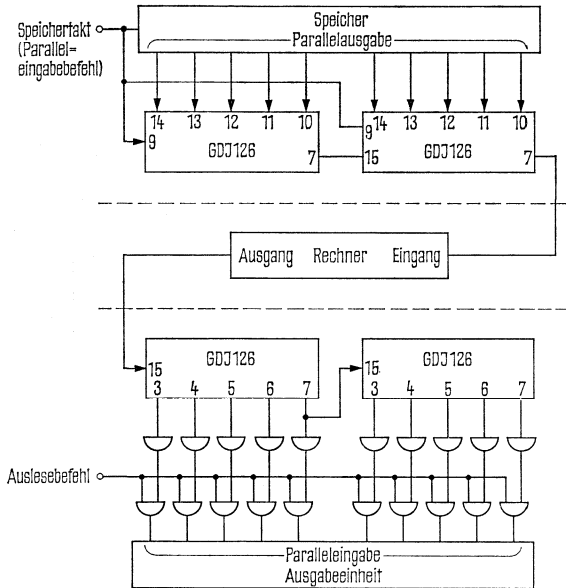
Funktionsdiagramm für Serieneingang und Parallelausgang



# Typische Anwendungsbeispiele für GDJ126

## 1. Parallel-Serien-Umwandlung

Serieninformationen können parallel in das Register synchron mit dem Speichertakt eingelesen werden und synchron mit dem Rechnertakt ausgelesen werden. Der Schiebektakt hat die 10fache Frequenz des Speichertaktes.



## 2. Serien-Parallel-Umwandlung

Die Serieninformationen aus dem Rechner werden in das Register geschoben, an dessen Ausgängen die Informationen parallel erscheinen für entsprechende Ausgabeinheiten. Der Schiebektakt hat die 10fache Frequenz des Auslesebefehls.

**Statisches 8-Bit-Schieberegister mit Paralleleingabe und Serienaussgabe**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Gate-Spannung	$U_{GG}$	0,3	-30	V
Takt- und Informations- eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 2, siehe Seite 132**

Kenndaten bei  $U_{GG} = -27 \text{ V} \pm 1 \text{ V}$ ,  $U_{DD} = -13 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 10 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$ , wenn nicht anders angegeben.

	Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand, Takt 1	$R_{e1}$	Takt 1 = -26 V, Takt 2 = 0 V	2,6		MΩ
Eingangswiderstand, Takt 2	$R_{e2}$	Takt 1 = 0 V, Takt 2 = -26 V Speicherbefehl = 0 V	2,6		MΩ
Eingangskapazität, Takt 1	$C_{e1}$	Takt 1 = Takt 2 = 0 V	4	6	pF
Eingangskapazität, Takt 2	$C_{e2}$	Takt 1 = Takt 2 = 0 V	4	6	pF
Frequenzbereich	$f$	0		1	MHz
Impulsbreite, Takt 1	$\tau_1$	0,2		10	μs
Impulsbreite, Takt 2	$\tau_2$	0,4			μs
Schaltzeiten					
Taktverzögerungszeit	$t_{pdT}$	0,1		10	μs
Anstiegs-, Abfallzeit	$t_r, t_f$	10% bis 90%		5	μs
<b>Serieneingang</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_e$	$U_e = -20 \text{ V}, I_e = 1 \mu\text{A}$ Takt 1 = 0 V	20		MΩ
Eingangskapazität	$C_e$		3		pF
Störsicherheit	$U_{SS}$	1	2		V
Impulsbreite	$\tau$	$0,2 + t_r$			μs
<b>Paralleleingang</b>	siehe Bild 2				
Eingangsspannung, log. 0	$U_{e0}$		-0,5	-1	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_e$	$U_e = -20 \text{ V}, I_e = 1 \mu\text{A}$ Speicherbefehl = 0 V	20		MΩ
Eingangskapazität	$C_e$	$U_e = 0 \text{ V}$	3		pF
Impulsbreite	$\tau$	0,5			μs
Verzögerungszeit	$t_{pd}$	0,1			μs



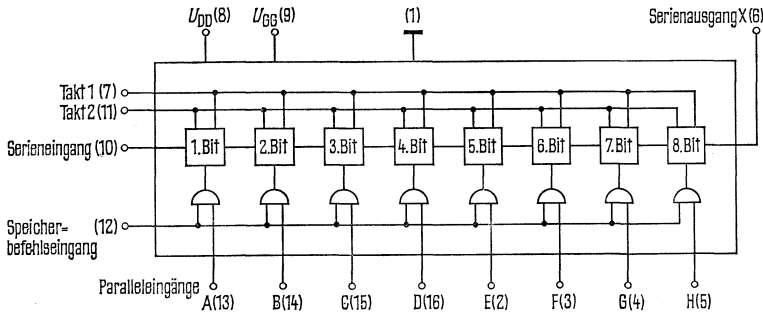
**Speicherbefehl**

Eingangsspannung, log. 0	$U_{e0}$
Eingangsspannung, log. 1	$U_{e1}$
Eingangswiderstand	$R_e$
Eingangskapazität	$C_e$
Impulsbreite	$\tau$
Informationsausgang	
Ausgangsspannung, log. 0	$U_{a0}$
Ausgangsspannung, log. 1	$U_{a1}$
Ausgangsspannung, log. 1	$U_{a1}$
Ausgangsspannung, log. 1	$U_{a1}$
Ausgangswiderstand gegen Masse	$R_a$
Leistungsverbrauch	$P$
Stromaufnahme	$I_{DD}$

Prüfbedingungen	min	typ	max	Einheit
siehe Bild 2				
$U_e = -20\text{ V}, I_e = 1\ \mu\text{A}$	-10		-2	V
$U_e = 0\text{ V}$	20			V
		3		M $\Omega$
	0,7			pF
				$\mu\text{s}$
siehe Bild 1				
		-0,5	-1	V
	-11	-12		V
$R_L = 27\text{ k}\Omega$	-10	-11		V
$R_L = 4,7\text{ k}\Omega$	-5			V
bei log. 0, Laststrom 0,5 mA			3	k $\Omega$
			43	mW
			2	mA

Das Schieberegister hat Paralleleingänge für alle Bits und einen Serieneingang und -ausgang. Jedes Bit ist ein kreuzgekoppeltes Flipflop, damit die Information unbegrenzt zwischen zwei Taktimpulsen gespeichert werden kann. Für Langzeitspeicherung müssen an Takteingang 2 log. 1 und an Takteingang 1 log. 0 liegen. Für Paralleleingabe muß der Speicherbefehlseingang auf log. 1 liegen (siehe Bild 2). Takteingang 1 und 2 dürfen nicht gleichzeitig auf log. 1 liegen.

**Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)**



# GDJ 136

## Impulsdiagramme

Bild 1

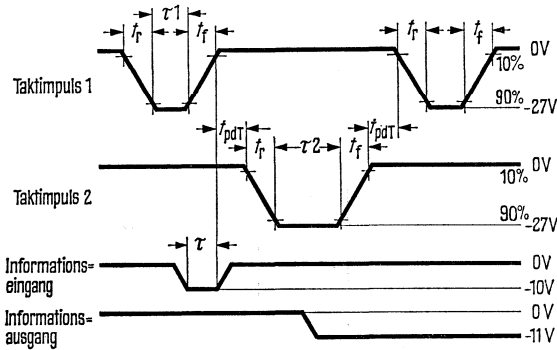
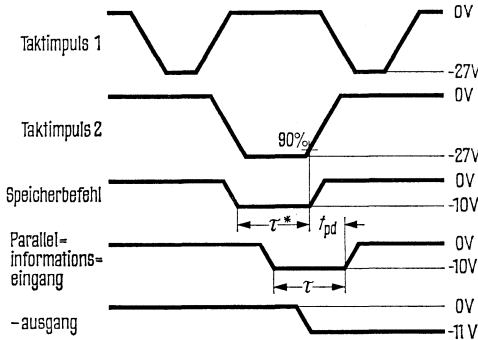
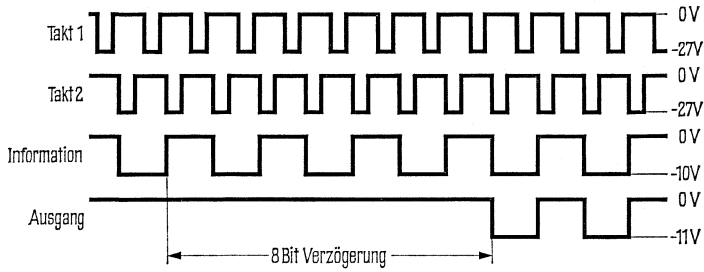


Bild 2

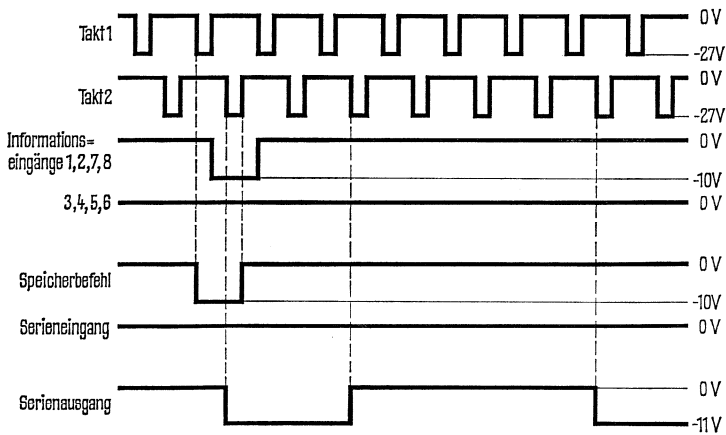


\* Die Vorderflanke des Speicherbefehls kann durch den vorhergehenden Taktimpuls erzeugt werden.

Funktionsdiagramm für Serienbetrieb



Funktionsdiagramm für Parallelbetrieb



**Statisches 12-Bit-Schieberegister mit Serieneingabe und Parallelausgabe**

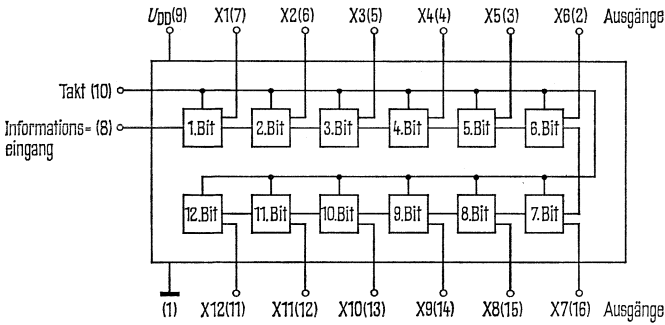
Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Takt- und Eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 2**, siehe Seite 132

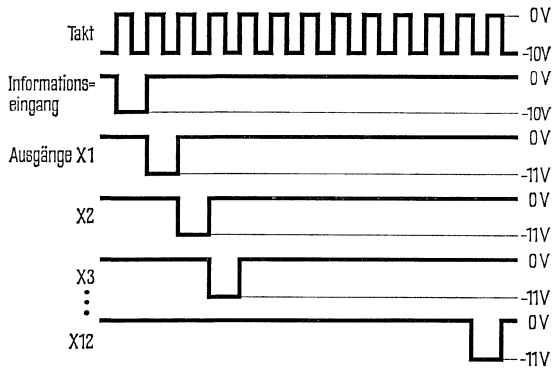
**Kenndaten** bei  $U_{DD} = -27 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 10 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$ , wenn nicht anders angegeben.

	Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10		-28	V
Eingangswiderstand	$R_e$	$U_e = -20 \text{ V}, I_e = 1 \mu\text{A}$		20	MΩ
Eingangskapazität	$C_e$	$U_e = 0 \text{ V}$		6	pF
Frequenzbereich	$f$	0		100	kHz
Impulsbreite	$\tau$	1		10	μs
Anstiegszeit	$t_r$	} 10% bis 90%		5	μs
Abfallzeit	$t_f$			5	μs
<b>Serieneingang</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_e$	$U_e = -20 \text{ V}, I_e = 1 \mu\text{A}$ Takt=0V		20	MΩ
Eingangskapazität	$C_e$	$U_e = 0 \text{ V}$		3	pF
Störsicherheit	$U_{ss}$	1	2		V
<b>Informationsausgang</b>	siehe Bild 1				
Ausgangsspannung, log. 0	$U_{a0}$		-0,5	-1	V
Ausgangsspannung, log. 1	$U_{a1}$	-11	-12		V
Ausgangsspannung, log. 1	$U_{a1}$	$R_L = 27 \text{ k}\Omega$		-11	V
Ausgangsspannung, log. 1	$U_{a1}$	$R_2 = 4,7 \text{ k}\Omega$		-5	V
Ausgangswiderstand gegen Masse	$R_a$	bei log. 0, Laststrom 0,5 mA		3	kΩ
<b>Leistungsverbrauch</b>	$P$			216	mW
<b>Stromaufnahme</b>	$I_{DD}$			8	mA

Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)

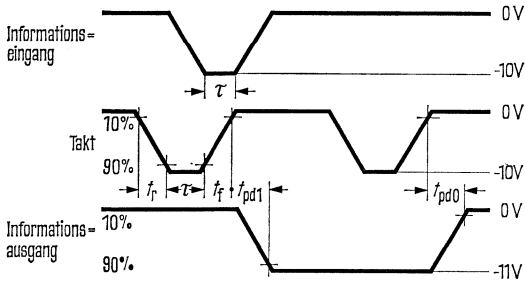


Funktionsdiagramm



Impulsdiagramm

Bild 1



**Zwei statische 16-Bit-Serienschieberegister**

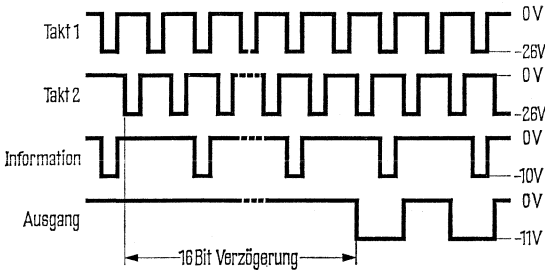
Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Gate-Spannung	$U_{GG}$	0,3	-30	V
Takt- und Informations- eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 8**, siehe Seite 133

**Kenndaten** bei  $U_{GG} = -27 \text{ V} \pm 1 \text{ V}$ ,  $U_{DD} = -13 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 10 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $+85 \text{ °C}$ , wenn nicht anders angegeben.

	Prüfbedingungen	min	typ	max	Einheit	
<b>Taktimpuls</b>						
Eingangsspannung, log. 0	$U_{e0}$	siehe Bild 1				
Eingangsspannung, log. 1	$U_{e1}$	-26		-28	V	
Eingangswiderstand, Takt 1	$R_{e1}$	2,6			M	
		Takt 1 = -26 V, Takt 2 = 0 V				
Eingangswiderstand, Takt 2	$R_{e2}$	2,6			MΩ	
		Takt 1 = 0 V, Takt 2 = -26 V				
Eingangskapazität, Takt 1	$C_{e1}$		4	6	pF	
Eingangskapazität, Takt 2	$C_{e2}$		4	6	pF	
		Takt 1 = Takt 2 = 0 V				
Frequenzbereich	$f$	0		1	MHz	
Impulsbreite, Takt 1	$\tau_1$	0,4		10	μs	
Impulsbreite, Takt 2	$\tau_2$	0,4			μs	
<b>Schaltzeiten</b>						
Taktverzögerungszeit	$t_{pdT}$	0,01		10	μs	
Anstiegszeit	$t_r$	} 10% bis 90%			5	μs
Abfallzeit	$t_f$				5	μs
<b>Serieneingang</b>						
		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V	
Eingangsspannung, log. 1	$U_{e1}$	-10			V	
Eingangswiderstand	$R_e$	20			MΩ	
		$U_e = -20 \text{ V}$ , $I_e = 1 \text{ μA}$				
Eingangskapazität	$C_e$		3		pF	
Störsicherheit	$U_{SS}$	1	2		V	
Impulsbreite	$\tau$	0,4 + $t_r$			μs	
<b>Informationsausgang</b>						
		siehe Bild 1				
Ausgangsspannung, log. 0	$U_{a0}$		-0,5	-1	V	
Ausgangsspannung, log. 1	$U_{a1}$	-11	-12		V	
Ausgangsspannung, log. 1	$U_{a1}$	-10	-11		V	
Ausgangsspannung, log. 1	$U_{a1}$	-5			V	
Ausgangswiderstand gegen Masse	$R_a$			3	kΩ	
		$R_L = 27 \text{ k}\Omega$ $R_L = 4,7 \text{ k}\Omega$ bei log. 0, Laststrom 0,5 mA				
<b>Leistungsverbrauch</b>	$P$			184	mW	
<b>Stromaufnahme</b>						
	$I_{DD}$			10	mA	
	$I_{GG}$			2	mA	

## Funktionsdiagramm



## Anschlußschema

Anschluß	Funktion
1	Masse
2	Takt 2
3	Eingang 1
4	Eingang 2
5	Masse
6	$U_{GG}$
7	Ausgang 2
8	Takt 1
9	Ausgang 1
10	$U_{DD}$

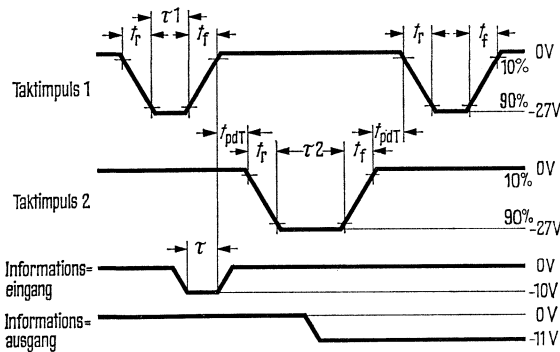
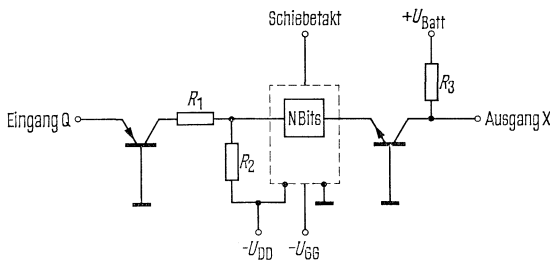


Bild 1  
Impulsdiagramm



Prinzipschaltbild einer  
Anpassungsstufe für positive Logik

Mit dieser Anpassungsstufe werden positive Informationen verarbeitet und wieder ausgegeben. Die Widerstandswerte hängen von den Versorgungsspannungen ab. Wenn Transistor T1 durchgesteuert ist, soll die Gleichspannung an der Verbindung R1, R2 zwischen 0 V und -2 V sein. Widerstand R1 schützt das Schieberegister vor positiver Spannung, wenn T1 kurzgeschlossen ist.

Jedes Bit ist ein kreuzgekoppeltes Flipflop, damit die Information unbegrenzt zwischen zwei Taktimpulsen gespeichert werden kann. Für Langzeitspeicherung müssen an Takteingang 2 log.1 und an Takteingang 1 log.0 liegen. Um die Information eine Stufe weiter zu schieben, müssen Takteingang 2 kurzzeitig auf log.0 und Takteingang 1 auf log.1 liegen. Takteingang 1 und 2 dürfen nicht gleichzeitig auf log.1 liegen.

**Sechs statische Serienschieberegister mit insgesamt 32 Bit**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Gate-Spannung	$U_{GG}$	0,3	-30	V
Schiebetakt- und Informationseingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 2, siehe Seite 132**

**Kenndaten** bei  $U_{GG} = -27 \text{ V} \pm 1 \text{ V}$ ,  $U_{DD} = -13 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 10 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$ , wenn nicht anders angegeben.

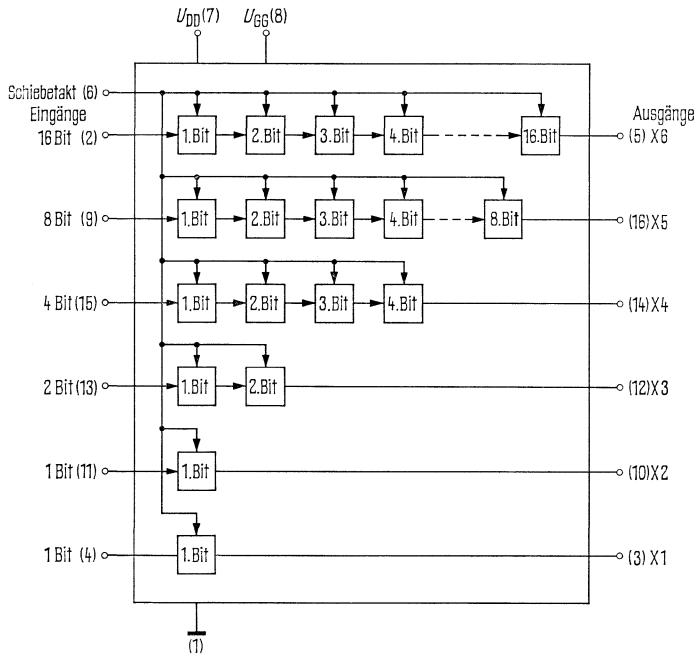
		Prüfbedingungen	min	typ	max	Einheit
<b>Schiebetakt</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$	bei 90% $U_e = 0 \text{ V}$	+0,5	0,0	-2,0	V
Eingangsspannung, log. 1	$U_{e1}$		-5	-9	-27	V
Eingangskapazität	$C_e$				6	pF
Frequenzbereich, untere Grenze	$f_u$	Impulsbreite=0,25 $\mu$ s Impulsbreite=0,25 $\mu$ s 1 MHz	0			Hz
obere Grenze	$f_o$		1,0	1,5	2	MHz
Impulsbreite, untere Grenze	$\tau_u$	50 kHz Rechteck	0,2	0,25 <sup>1)</sup>		$\mu$ s
			obere Grenze	$\tau_o$	10	1000
Anstiegszeit	$t_r$	50 kHz Rechteck- schiebetakt			5	$\mu$ s
Abfallzeit	$t_f$				5	$\mu$ s
<b>Informationseingang</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$	bei 90% $U_e = -12 \text{ V}$	+0,5	0,0	-2,0	V
Eingangsspannung, log. 1	$U_{e1}$		-5	-9 <sup>1)</sup>	-27	V
Sperrstrom	$I_e$				0,5	$\mu$ A
Eingangskapazität	$C_e$			2	3	pF
Störsicherheit	$U_{SS}$		1,0	2,0		V
Impulsbreite	$\tau$	bei 90%	0,05	1		$\mu$ s
<b>Ausgänge</b>		siehe Bild 1				
Ausgangsspannung, log. 0	$U_{a0}$	$R_L = 27 \text{ k}\Omega$ $R_L = 4 \text{ k}\Omega$		-0,5	-1,0	V
Ausgangsspannung, log. 1	$U_{a1}$		-11	-12	$U_{DD}$	V
Ausgangsspannung, log. 1	$U_{a1}$		-10	-11	$U_{DD}$	V
Ausgangsspannung, log. 1	$U_{a1}$		-5	-7	$U_{DD}$	V
Ausgangswiderstand gegen Masse	$R_a$		1	2	3	k $\Omega$
Kurzschlußstrom	$I_k$		5	10		mA
<b>Stromaufnahme</b>	$I_{DD}$	$U_{DD} = -13 \text{ V}$		6	10	mA
	$I_{GG}$	$U_{GG} = -27 \text{ V}$		2	6	mA

1) Prüfwerte



Der Baustein enthält sechs voneinander unabhängige Schieberegister. Bei Verknüpfung einzelner Register kann jede Verzögerungszeit zwischen 1 und 32 Bit erreicht werden (z. B. Ausgang 1 Bit an Eingang 4 Bit ergibt 5 Bit Verzögerung). Ein einziger Schiebetaktschiebt die Informationen in allen 6 Registern weiter. Neue Informationen können in der Zeit, in der der Schiebetakts auf log.1 liegt, eingegeben werden. Informationsausgabe an den Ausgängen erfolgt auf die Impulsrückflanke des Schiebetaktes (von log.1 auf log.0). Jedes Register speichert die Information bis zum nächsten Schiebetakts.

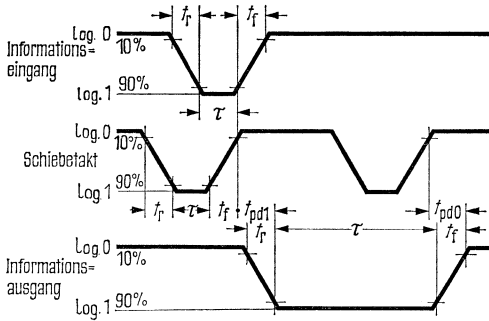
**Blockschaltbild** (Zahlen in Klammern bezeichnen Anschlußstifte)



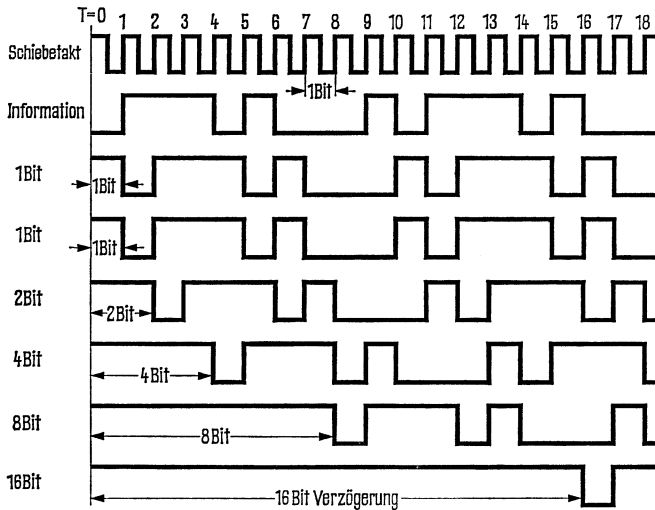
# GDJ 166

## Impulssdiagramm

Bild 1



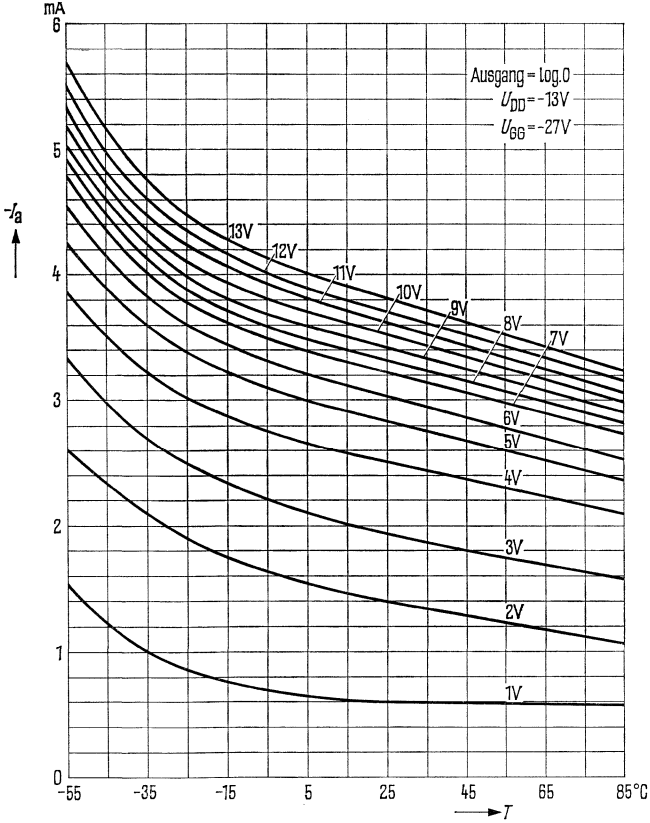
## Funktionsdiagramm



### Diagramm

Ausgangsstrom über Temperatur bei konstanter Ausgangsspannung

$$I_a = f(T)$$

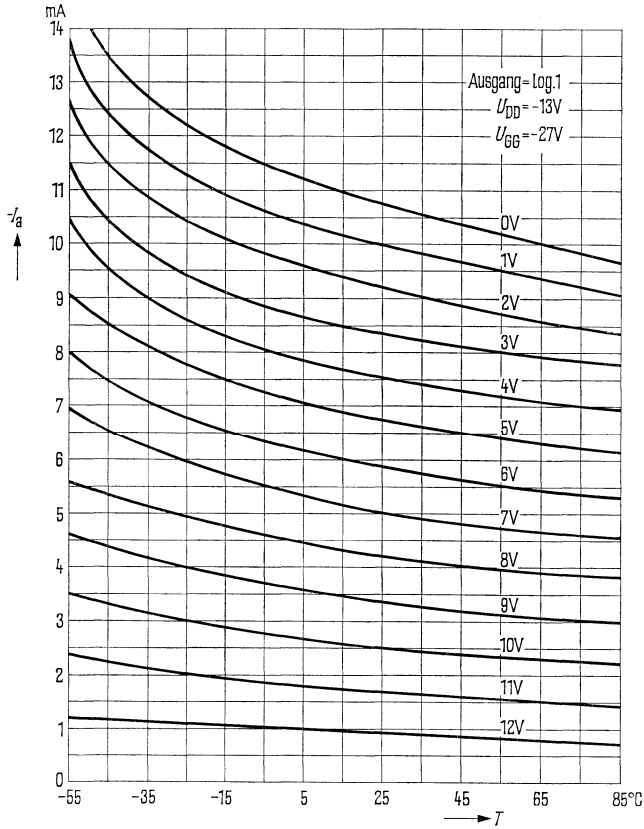


# GDJ 166

## Diagramm

Ausgangsstrom über Temperatur bei konstanter Ausgangsspannung

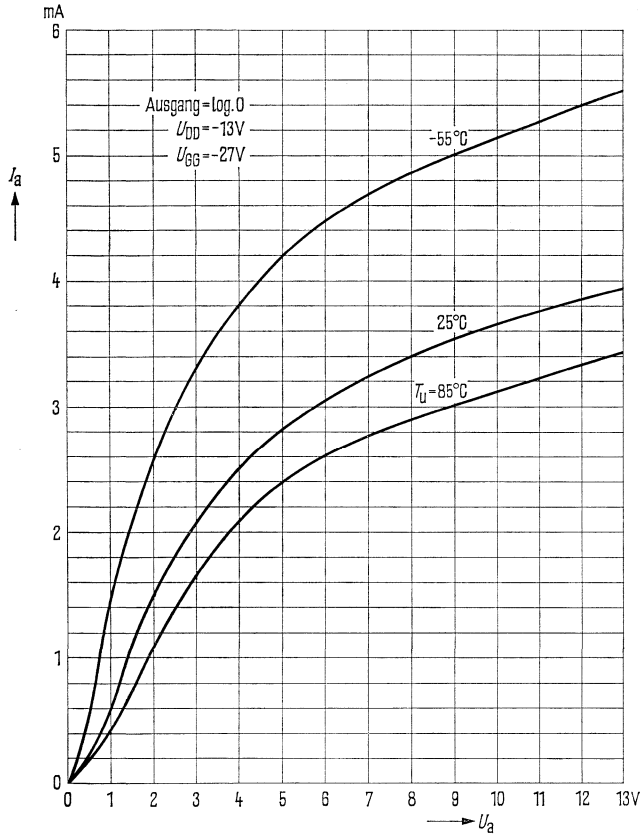
$$I_a = f(T)$$



Diagramm

Ausgangsstrom über Ausgangsspannung bei konstanter Temperatur

$$I_a = f(U_a)$$

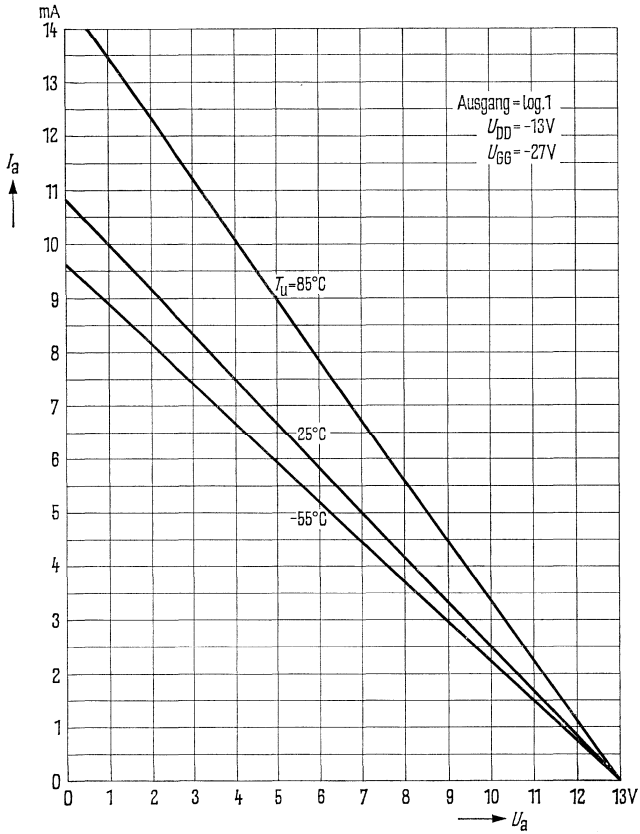


# GDJ 166

## Diagramm

Ausgangsstrom über Ausgangsspannung bei konstanter Temperatur

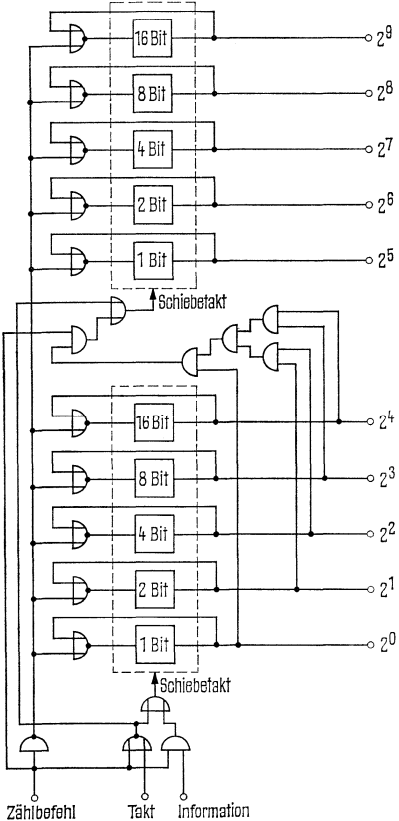
$$I_a = f(U_a)$$



# Typische Anwendungsbeispiele

## 1. 10-Bit-Binärzähler

### Prinzipschaltbild

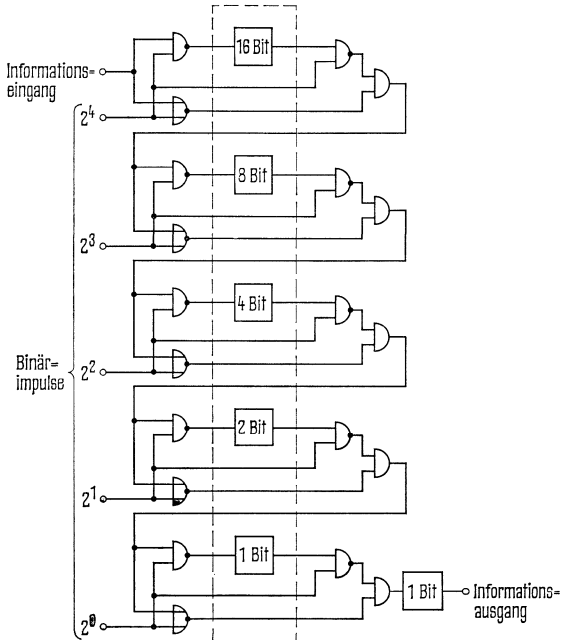


Für den 10-Bit-binären Zähler werden zwei GDJ 166 benötigt, für die beiden Eingangs-NOR-Glieder können der GDH 126 (4 NOR-Glieder mit je 2 Eingängen) verwendet werden und für die Eingangs-UND-Glieder der GDH 106 (4 UND-Glieder mit je 2 Eingängen).

Um den Zähler zu löschen, sind 16 externe Taktimpulse erforderlich. Der Zählvorgang, bei dem negative Impulse am Informationseingang gezählt werden, erfordert log.1 am Zählbefehlseingang.

# GDJ 166

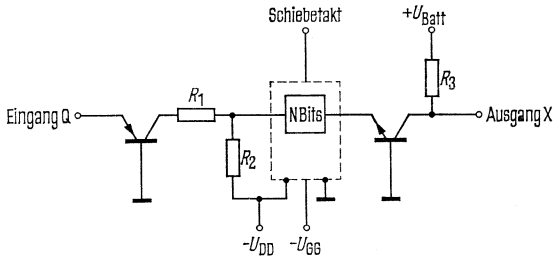
## 2. Elektronisch veränderliche 1-bis-32-Bit-Verzögerungsschaltung



Die an den Informationseingang angebotene Information wird einem oder allen der sechs binär bewerteten Registern des GDJ 166 zugeführt, was durch ein 5-Bit-binäres Wort an den Binäreingängen bestimmt wird. Eine konstante 1-Bit-Verzögerung wird jedem Wort hinzugefügt. Beispiel: 0101  $\hat{=}$  5 ergeben 5 Bit Verzögerung plus 1 konstantes Bit, also zusammen 6 Bit Verzögerung am Ausgang. Die Verknüpfung kann entweder mit der Siemens-Standard-Logikfamilie verwirklicht werden oder mit einem MOS-Doppeltransistor und 10 k $\Omega$  Widerstände, die mit  $U_{DD}$  verbunden werden.

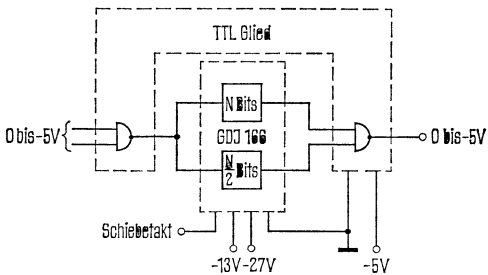


3. Prinzipschaltbild einer Anpassungsstufe für positive Logik



Mit dieser Anpassungsstufe werden positive Informationen verarbeitet und wieder ausgegeben. Die Widerstandswerte hängen von den Versorgungsspannungen ab. Wenn Transistor T1 durchgesteuert ist, soll die Gleichspannung an der Verbindung R1, R2 zwischen 0 V und -2 V sein. Widerstand R1 schützt das Schieberegister vor positiver Spannung, wenn T1 kurzgeschlossen ist.

4. Prinzipschaltbild einer Anpassungsstufe für TTL



# GDJ 176, Q67000-N19; GDJ 176 A, Q67000-N28

## Statisches 64-Bit-Serienschieberegister

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Gate-Spannung	$U_{GG}$	0,3	-30	V
Takt- und Informations- eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

Bauform 4 (GDJ 176) und 8 (GDJ 176 A), siehe Seite 133

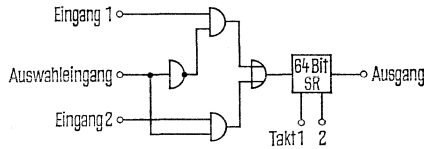
Kenndaten bei  $U_{GG} = -27 \text{ V} \pm 1 \text{ V}$ ,  $U_{DD} = -13 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 10 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$ .

		Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$		0		-2	V
Eingangsspannung, log. 1	$U_{e1}$		-26		-28	V
Eingangswiderstand, Takt 1	$R_{e1}$	Takt 1 = -27 V, Takt 2 = 0 V	2,7			MΩ
Eingangswiderstand, Takt 2	$R_{e2}$	Takt 1 = 0 V, Takt 2 = -27 V	2,7			MΩ
Eingangskapazität, Takt 1	$C_{e1}$	$U_e = 0 \text{ V}$	5	7	10	pF
Eingangskapazität, Takt 2	$C_{e2}$	$U_e = 0 \text{ V}$	5	7	10	pF
Frequenzbereich	$f$		0		2	MHz
Impulsbreite, Takt 1	$\tau_1$		0,1		10	μs
Impulsbreite, Takt 2	$\tau_2$		0,1			μs
Schaltzeiten						
Taktverzögerungszeit	$t_{pdT}$		0,1		10	μs
Anstiegs-, Abfallzeit, Takt 2	$t_{r2}, t_{f2}$				5	μs
<b>Serieneingang</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$				-2	V
Eingangsspannung, log. 1	$U_{e1}$		-10			V
Eingangswiderstand	$R_e$	$U_e = -20 \text{ V}, I_e = 1 \text{ }\mu\text{A}$	20			MΩ
Eingangskapazität	$C_e$	$U_e = 0 \text{ V}$			3	pF
Impulsbreite	$\tau$		0,1 + $t_{r1}$			
<b>Auswahleingang</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$				-2	V
Eingangsspannung, log. 1	$U_{e1}$		-10			V
Eingangswiderstand	$R_e$	$U_e = -20 \text{ V}, I_e = 1 \text{ }\mu\text{A}$	20			MΩ
Eingangskapazität	$C_e$	$U_e = 0 \text{ V}$			3	pF
Impulsbreite	$\tau$		0,1 + $t_{r1}$			μs
<b>Informationsausgang</b>		siehe Bild 1				
Ausgangsspannung, log. 0	$U_{a0}$			-0,5	-1,0	V
Ausgangsspannung, log. 1	$U_{a1}$		-10			V
Ausgangsspannung, log. 1	$U_{a1}$	$R_L = 27 \text{ k}\Omega$	-10			V
Ausgangsspannung, log. 1	$U_{a1}$	$R_L = 4,7 \text{ k}\Omega$	-5			V
Ausgangswiderstand gegen Masse	$R_a$	bei log. 0, Laststrom 0,5 mA			3	kΩ
Einschaltverzögerungszeit	$t_{pd1}$				0,25	μs
<b>Leistungsverbrauch</b>	$P$				360	mW
<b>Stromaufnahme</b>	$I_{DD}$	$U_{DD} = -14 \text{ V}$			20	mA
	$I_{GG}$	$U_{GG} = -28 \text{ V}$			3,0	mA

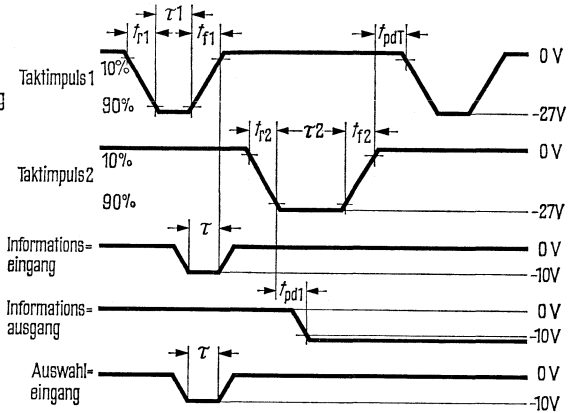
# GDJ 176, GDJ 176A

Das Schieberegister kann von zwei Informationskanälen auf ein Kontrollsignal hin einen auswählen. Die Information wird unbegrenzt gespeichert, wenn Takt 1 auf log.0 und Takt 2 auf log.1 liegen.

## Blockschaltbild



## Impulsdigramm



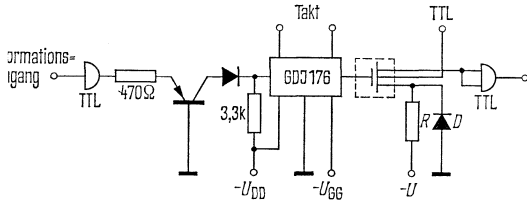
## Anschlußschema

Gehäuse TO-74

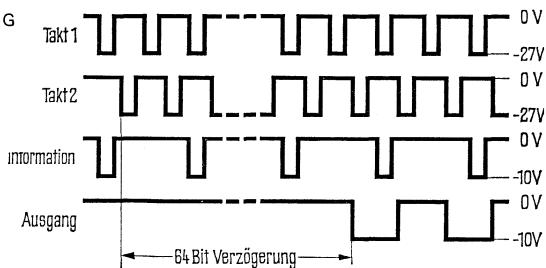
Steckgehäuse

Anschluß	Funktion	Anschluß	Funktion
1	Masse	1	Masse
2	$U_{DD}$	2	Takt 2
3	$U_{GG}$	3	Takt 1
4	Takt 2	4	Ausgang X
5	Takt 1	5	-
6	Ausgang X	6	Auswahleingang
7	Auswahleingang	7	-
8	Eingang 1	8	Eingang 1
9	Eingang 2	9	Eingang 2
10	-	10	-
		11	$U_{DD}$
		12	-
		13	-
		14	$U_{GG}$

## Prinzipschaltbild einer Anpassungsstufe für TTL



## Funktionsdiagramm



Mit dieser Schaltung arbeitet das GDJ 176 bis über 2 MHz.

Ein Widerstands-Diodennetzwerk kann verwendet werden, um eine Bezugsspannung für viele Anpassungsstufen zu erhalten. Der Wert und Belastbarkeit von R ergeben sich aus der speziellen TTL-Familie und der Anzahl der verwendeten Halbleiterschaltungen.

**Statisches 21-Bit-Serienschieberegister**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Takt- und Eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

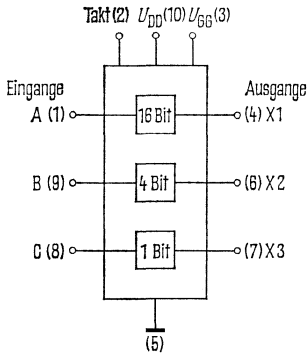
**Bauform 8, siehe Seite 133**

**Kenndaten** bei  $U_{DD} = -27\text{ V} \pm 1\text{ V}$ ,  $R_L = 1\text{ M}\Omega$ ,  $C_L = 10\text{ pF}$ ,  $T_U = -55\text{ °C}$  bis  $85\text{ °C}$ , wenn nicht anders angegeben.

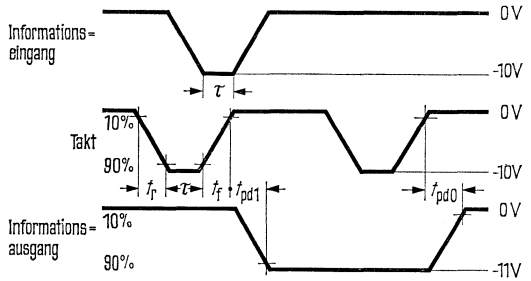
	Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand, Takt 1	$R_e$	20			MΩ
Eingangskapazität, Takt 1	$C_e$		4	6	pF
Frequenzbereich	$f$	0		500	kHz
Impulsbreite	$\tau$	1		10	μs
Anstiegs-Abfallzeit	$t_r, t_f$			4	μs
<b>Serieneingang</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_e$	20			MΩ
Eingangskapazität	$C_e$		3		pF
Störsicherheit	$U_{SS}$	1	2		V
Impulsbreite	$\tau$	$1 + t_r$			μs
<b>Informationsausgang</b>	siehe Bild 1				
Ausgangsspannung, log. 0	$U_{a0}$		-0,5	-1	V
Ausgangsspannung, log. 1	$U_{a1}$	-11	-12		V
Ausgangsspannung, log. 1	$U_{a1}$	-10	-11		V
Ausgangsspannung, log. 1	$U_{a1}$	-5			V
Ausgangswiderstand gegen Masse	$R_a$			3	kΩ
<b>Leistungsverbrauch</b>	$P$			146	mW
<b>Stromaufnahme</b>	$I_{DD}$			5,4	mA

Der Baustein enthält ein 1-, 4- und 16-Bit-Schieberegister. Es wird nur ein externer Takt benötigt; der zweite um 180° phasenverschobene Takt wird im Baustein erzeugt. Jedes Verzögerungsbit ist ein kreuzgekoppeltes Flipflop, damit die Information unbegrenzt zwischen zwei Taktimpulsen gespeichert werden kann.

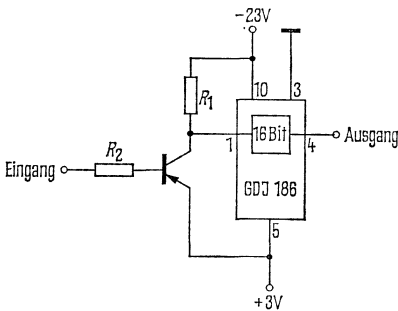
**Blockschaltbild** (Zahlen in Klammern bezeichnen Anschlußstifte)



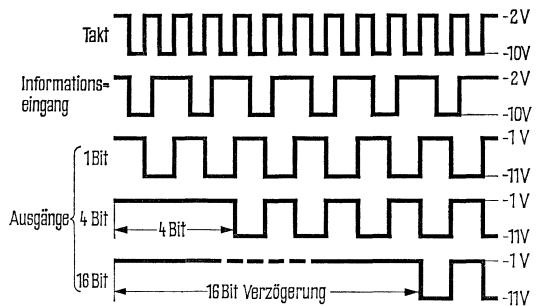
**Impulsdiagramm**



**Prinzipschaltbild** einer Anpassungsstufe für TTL



**Funktionsdiagramm**



**Zwei dynamische 50-Bit-Serienschieberegister**

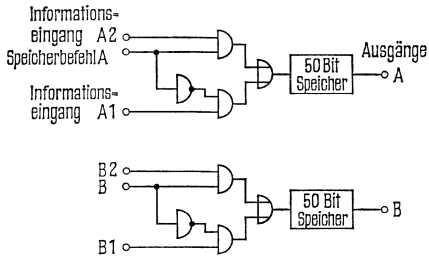
Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Takt- und Informations- eingangsspannung	$U_E$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 4 (GDN 106) und 7 (GDN 106 A), siehe Seite 133**

**Kenndaten** bei  $U_{DD} = -27\text{ V} \pm 1\text{ V}$ ,  $R_L = 1\text{ M}\Omega$ ,  $C_L = 10\text{ pF}$ ,  $T_U = -55\text{ °C}$  bis  $85\text{ °C}$ , wenn nicht anders angegeben.

		Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$				-2	V
Eingangsspannung, log. 1	$U_{e1}$		-26		-28	V
Eingangswiderstand, Takt 1	$R_{e1}$	Takt 1 = -28 V, Takt 2 = 0 V	2,8			MΩ
Eingangswiderstand, Takt 2	$R_{e2}$	Takt 1 = 0 V, Takt 2 = -28 V	2,8			MΩ
Eingangskapazität, Takt 1	$C_{e1}$	Takt 1 = Takt 2 = 0 V		20	30	pF
Eingangskapazität, Takt 2	$C_{e2}$	Takt 1 = Takt 2 = 0 V		20	30	pF
Frequenzbereich	$f$	$\tau_1 = \tau_2 = 45\text{ }\mu\text{s}$	0,01			MHz
	$f$	$\tau_1 = \tau_2 = 0,2\text{ }\mu\text{s}$			1	MHz
Impulsbreite	$\tau_1, \tau_2$		0,2			$\mu\text{s}$
Schaltzeiten						
Taktimpulsverzögerung	$t_{pdT}$		0,25			$\mu\text{s}$
Anstiegs-, Abfallzeit	$t_r, t_f$	$f = 1\text{ MHz}$ , 10% bis 90%			0,025	$\mu\text{s}$
<b>Serieneingang</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$				-2	V
Eingangsspannung, log. 1	$U_{e1}$		-10			V
Eingangswiderstand	$R_e$	$U_e = -20\text{ V}$ , $I_e = 1\text{ }\mu\text{A}$	20			MΩ
Eingangskapazität	$C_e$	$U_e = 0\text{ V}$		3	5	pF
Impulsbreite	$\tau$	siehe Bild 1				$\mu\text{s}$
Störsicherheit	$U_{SS}$		1	2		V
<b>Speicherbefehlseingang</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$				-2	V
Eingangsspannung, log. 1	$U_{e1}$		-10			V
Eingangswiderstand	$R_e$	$U_e = -20\text{ V}$ , $I_e = 1\text{ }\mu\text{A}$	20			MΩ
Eingangskapazität	$C_e$	$U_e = 0\text{ V}$		3	5	pF
Impulsbreite	$\tau$		0,5			$\mu\text{s}$
Störsicherheit	$U_{SS}$		1	2		V
<b>Informationsausgang</b>		siehe Bild 1				
Ausgangsspannung, log. 0	$U_{a0}$			-0,5	-1	V
Ausgangsspannung, log. 1	$U_{a1}$		-11	-12		V
Ausgangsspannung, log. 1	$U_{a1}$	$R_L = 27\text{ k}\Omega$	-10			V
Ausgangsspannung, log. 1	$U_{a1}$	$R_L = 4,7\text{ k}\Omega$	-5			V
Ausgangswiderstand gegen Masse	$R_a$	bei log. 0, Laststrom = 0,5 mA			3	kΩ
<b>Leistungsverbrauch</b>	$P$				168	mW
<b>Stromaufnahme</b>	$I_{DD}$	$U_{DD} = -28\text{ V}$			6	mA

## Blockschaltbild



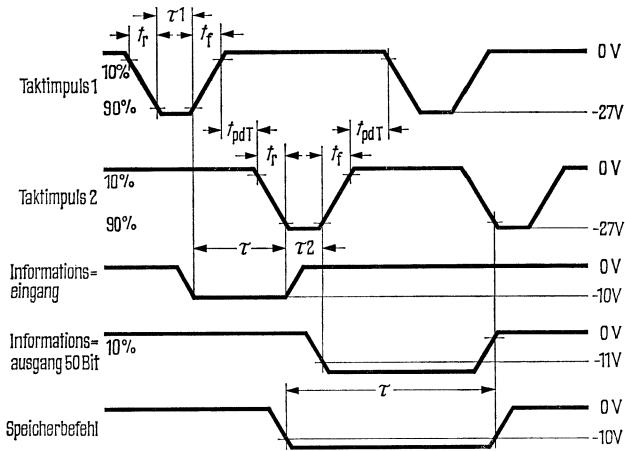
## Anschlußschema

Gehäuse TO-73		Steckgehäuse	
Anschluß	Funktion	Anschluß	Funktion
1	$U_{DD}$	1	Masse
2	Eingang B2	2	Ausgang A
3	Takt 2	3	Takt 1
4	Ausgang B	4	Eingang A2
5	Masse	5	Speicherbefehl A
6	Ausgang A	6	Eingang A1
7	Takt 1	7	Eingang B1
8	Eingang A2	8	Speicherbefehl B
9	Speicherbefehl A	9	—
10	Eingang A1	10	$U_{DD}$
11	Eingang B1	11	Eingang B2
12	Speicherbefehl B	12	Takt 2
		13	—
		14	Ausgang B

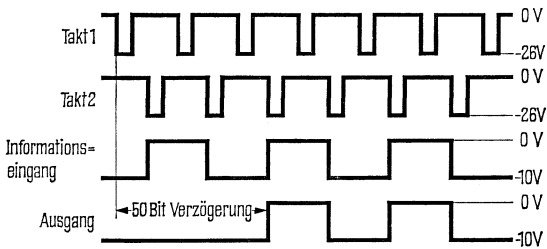
# GDN 106, GDN 106 A

## Impulsdiagramm

Bild 1

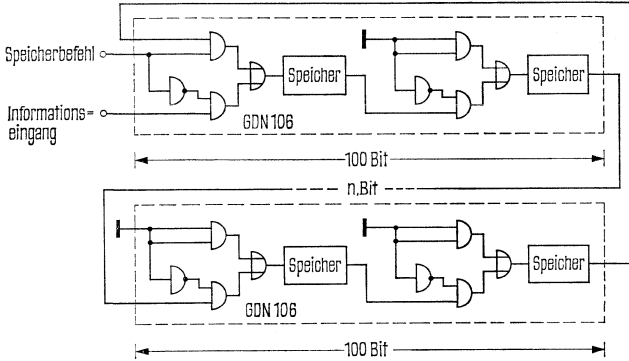


## Funktionsdiagramm

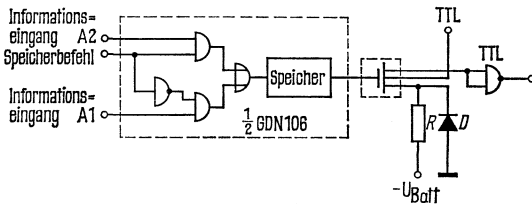




## Verknüpfungsschaltung für n-Bit-Speicherung



## Prinzipschaltbild einer Anpassungsstufe für TTL



Ein Widerstands-Diodennetzwerk kann verwendet werden, um eine Bezugsspannung für viele Anpassungsstufen zu erhalten. Der Wert und Belastbarkeit von R ergeben sich aus der speziellen TTL-Familie und der Anzahl der verwendeten Halbleiterschaltungen.

# GDN 116, Q67000–N20; GDN 116A, Q67000–N30

## Dynamischer 64-Bit-Akkumulator

Grenzdaten		min	max	Einheit
Taktimpulsspannung	$U_T$	0,3	–30	V
Informations- und Speicherspannung	$U_E$	0,3	–30	V
Betriebstemperatur	$T_U$	–55	85	°C
Lagertemperatur	$T_S$	–55	150	°C

Bauform 1 (GDN 116), siehe Seite 132

Bauform 8 (GDN 116A), siehe Seite 133

Kenndaten bei  $R_L=10\text{ M}\Omega$ ,  $C_L=12\text{ pF}$ ,  $T_U=-55\text{ }^\circ\text{C}$  bis  $85\text{ }^\circ\text{C}$ , wenn nicht anders angegeben.

		Prüfbedingungen	min	typ	max	Einheit	
<b>Taktimpuls</b>							
Eingangsspannung, log. 0	$U_{e0}$	$U_e=-27\text{ V}$ plus kapazitive Last s. Bild 1, bei $-24\text{ V}$	0,3		–1	V	
Eingangsspannung, log. 1	$U_{e1}$		–24		–27	V	
Sperrstrom	$I_e$				100	$\mu\text{A}$	
Eingangskapazität, Takt 1, 3, 4	$C_e$				10	pF	
Eingangskapazität, Takt 2					10	pF	
Frequenzbereich	$f$			0,01	2	MHz	
Impulsbreite, Takt 1 und 3	$\tau_{1,3}$			100		ns	
Impulsbreite, Takt 2 und 4	$\tau_{2,4}$			200		ns	
<b>Informations- und Speichereingang</b>							
Eingangsspannung, log. 0	$U_{e0}$			0		–2	V
Eingangsspannung, log. 1	$U_{e1}$		–10		–24	V	
Sperrstrom	$I_e$				5	$\mu\text{A}$	
Eingangskapazität	$C_e$				2	pF	
Impulsbreite Information	$\tau_1$	siehe Bild 1	100			ns	
Impulsbreite Speicherbefehl	$\tau_2$		200			ns	
<b>Ausgangsspannungen</b>							
		siehe Anmerkung					
Ausgangsspannung, log. 0	$U_{a0}$		0		–2	V	
Ausgangsspannung, log. 1	$U_{a1}$		–11		–24	V	

Anmerkung:

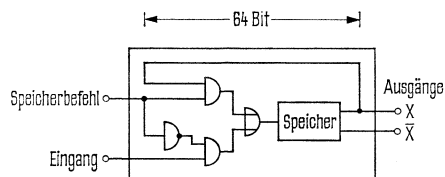
Eine Widerstandslast am Ausgang gegen Masse entlädt den Ausgangspegel log. 1 mit der Zeitkonstanten  $\tau=RC$ , so daß log. 0 zu log. 1 wird.

# GDN 116, GDN 116 A

Der dynamische 64-Bit-Serienakkumulator besteht aus einem 64-Bit-Schieberegister mit einer Logik, damit die Information zirkulieren oder gespeichert werden kann.

Der Leistungsverbrauch jeder Stufe nimmt proportional zur Frequenz ab. Ein Serienakku kann direkt, ohne zusätzliche Bauelemente, mit einem anderen verbunden werden.

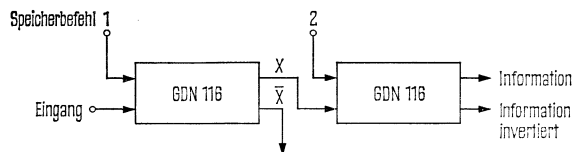
## Blockschaltbild



## Anschlußschema

Gehäuse TO-74		Gehäuse TO-87	
Anschluß	Funktion	Anschluß	Funktion
1	Masse	1	Masse
2	Takt 3	2	Takt 3
3	Takt 1	3	Takt 1
4	Speicherbefehl	4	Speicherbefehl
5	—	5	—
6	Takt 2	6	—
7	Ausgang X 2	7	—
8	Takt 4	8	—
9	Eingang	9	—
10	Ausgang X 1	10	Takt 2
		11	Ausgang X
		12	Takt 4
		13	Eingang
		14	Ausgang X-bar

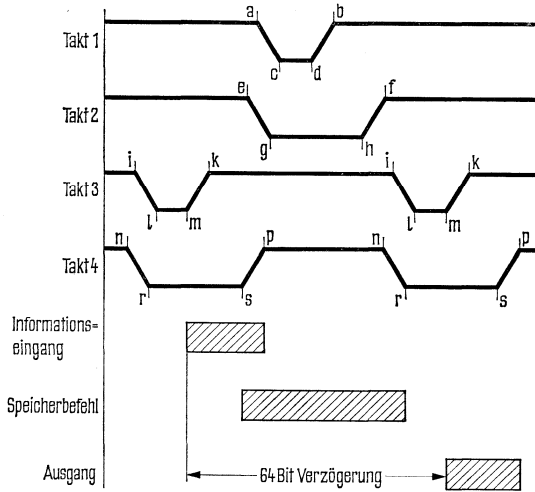
## Verknüpfungsschaltung



# GDN 116, GDN 116A

## Impulsdiagramm

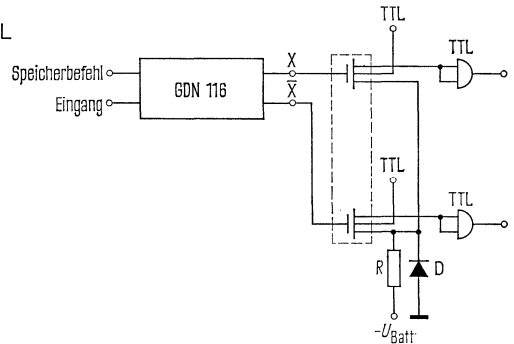
Bild 1



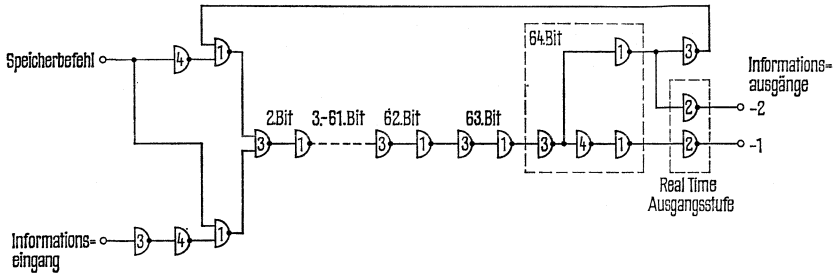
	min	max	Einheit
Abtastzeit $t_{bh}$	100		ns
Abtastzeit $t_{ks}$	100		ns
Überlappung, Takt 1-4 $t_{pa}$	0		ns
Überlappung, Takt 2-3 $t_{fi}$	0	1000	ns
Überlappung, Takt 2-4 $t_{fn}$	0		ns
Überlappung, Takt 4-2 $t_{pe}$	0		ns
Aufladezeit, Takt 3 $t_{rm}$	100		ns
Aufladezeit, Takt 1 $t_{gd}$	100		ns

## Prinzipschaltbild einer Anpassungsstufe für TTL

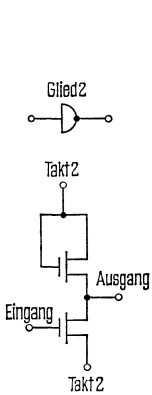
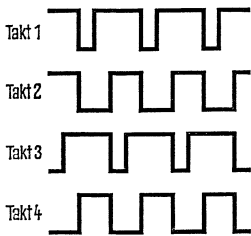
Ein Widerstands-Diodennetzwerk kann verwendet werden, um eine Bezugsspannung für viele Anpassungsstufen zu erhalten. Der Wert und Belastbarkeit von R ergeben sich aus der speziellen TTL-Familie und der Anzahl der verwendeten Halbleiterschaltungen.



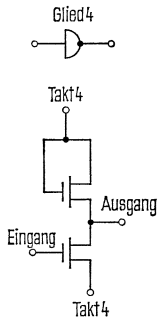
## Blockschaltbild



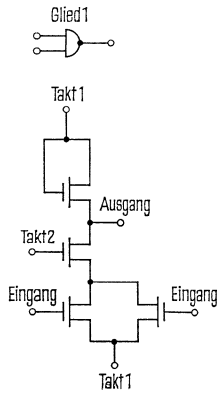
## Funktionsdiagramm



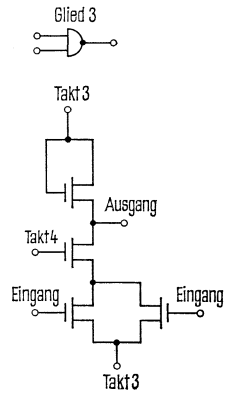
**Abtastzeit** Takt 2  
**Aufladezeit** Takt 2



**Abtastzeit** Takt 4  
**Aufladezeit** Takt 4



**Abtastzeit** Takt 2 und 1  
**Aufladezeit** Takt 1



**Abtastzeit** Takt 4 und 3  
**Aufladezeit** Takt 3

# GDN 126, Q67000–N16; GDN 126 A, Q67000–N31

Grenzdaten		min	max	Einheit
Drain Spannung	$U_{DD}$	0,3	-30	V
Informationsspannung	$U_E$	0,3	-30	V
Taktspannung	$U_T$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

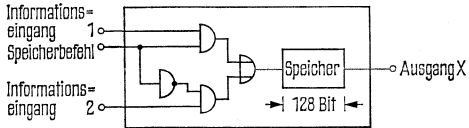
Bauform 4 (GDN 126) und 8 (GDN 126 A), siehe Seite 133

**Kenndaten** bei  $U_{DD} = -27 \text{ V} \pm 1 \text{ V}$ , Takt 1 und 2 =  $-27 \text{ V} \pm 1 \text{ V}$ ,  $R_L = 1 \text{ M}\Omega$ ,  $C_L = 10 \text{ pF}$ ,  $T_U = -55 \text{ °C}$  bis  $85 \text{ °C}$

	Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-26		-28	V
Eingangswiderstand, Takt 1	$R_{e1}$	2,8			MΩ
Eingangswiderstand, Takt 2	$R_{e2}$	2,8			MΩ
Eingangskapazität, Takt 1	$C_{e1}$		20	30	pF
Eingangskapazität, Takt 2	$C_{e2}$		20	30	pF
Frequenzbereich	$f$	0,01		1	MHz
Impulsbreite	$\tau_1, \tau_2$	0,2			μs
Taktverzögerungszeit	$t_{pdT}$	0,25			μs
Anstiegs- Abfallzeit	$t_r, t_f$			0,025	μs
<b>Serieneingang</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_e$	20			MΩ
Eingangskapazität	$C_e$		3	5	pF
Impulsbreite	$\tau$				
Störsicherheit	$U_{SS}$	1	2		V
<b>Speicherbefehlseingang</b>	siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$			-2	V
Eingangsspannung, log. 1	$U_{e1}$	-10			V
Eingangswiderstand	$R_e$	20			MΩ
Eingangskapazität	$C_e$		3	5	pF
Störsicherheit	$U_{SS}$	1	2		V
<b>Informationsausgang</b>	siehe Bild 1				
Ausgangsspannung, log. 0	$U_{a0}$		-0,5	-1	V
Ausgangsspannung, log. 1	$U_{a1}$	-11	-12		V
Ausgangsspannung, log. 1	$U_{a1}$	-10			V
Ausgangsspannung, log. 1	$U_{a1}$	-5			V
Ausgangswiderstand gegen Masse	$R_a$			3	kΩ
<b>Leistungsverbrauch</b>	$P$			112	mW
<b>Stromaufnahme</b>	$I_{DD}$			4	mA

Der Baustein enthält die Logik, Eingänge für den Speicherbefehl und Informationen zur Auswahl von zwei unabhängigen Informationsflüssen. Die Ausgänge haben Gegentaktstufen.

## Blockschaltbild



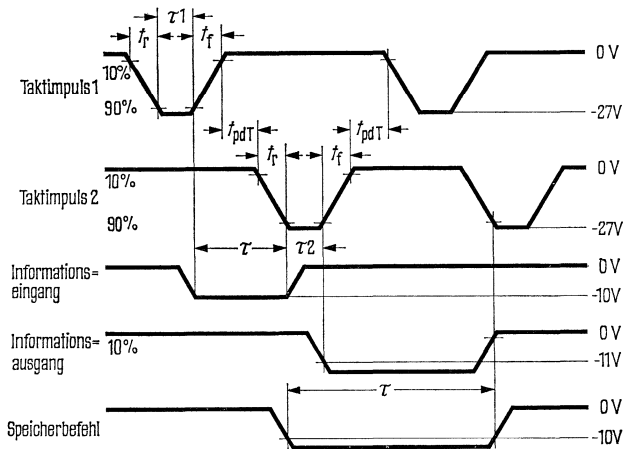
## Anschlußschema

Gehäuse TO-74		Steckgehäuse	
Anschluß	Funktion	Anschluß	Funktion
1	Masse	1	Masse
2	Takt 2	2	Takt 2
3	$U_{DD}$	3	$U_{DD}$
4	Ausgang X	4	Ausgang X
5	Eingang 1	5	—
6	Speicherbefehl	6	Eingang 1
7	Eingang 2	7	—
8	—	8	—
9	Masse	9	Speicherbefehl
10	Takt 1	10	Eingang 2
		11	—
		12	—
		13	—
		14	Takt 1

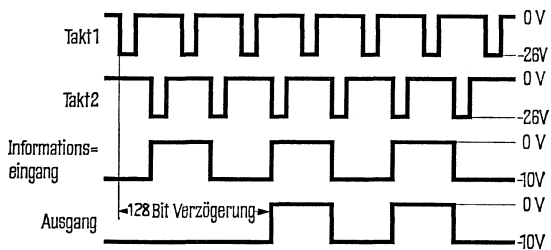
# GDN 126, GDN 126 A

## Impulsdiagramm

Bild 1

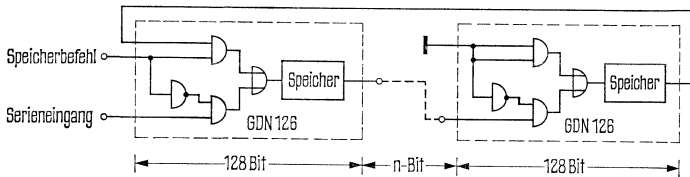


## Funktionsdiagramm

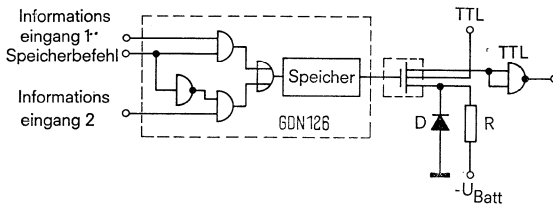




## Verknüpfungsschaltung für n-Bit-Informationsspeicherung



## Prinzipschaltbild einer Anpassungsstufe für TTL



Ein Widerstands-Diodennetzwerk kann verwendet werden, um eine Bezugsspannung für viele Anpassungsstufen zu erhalten. Der Wert und die Belastbarkeit von R ergeben sich aus der speziellen TTL-Familie und der Anzahl der verwendeten Halbleiterschaltungen.

**2048-Bit-Festwertspeicher**

Grenzdaten		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-30	V
Taktspannung	$U_T$	0,3	-30	V
Betriebstemperatur	$T_U$	-55	85	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 6, siehe Seite 133**

**Kenndaten** bei  $U_{DD} = -24$  V bis  $-28$  V,  $R_L = 20$  k $\Omega$ ,  $C_L = 10$  pF,  $T_U = -55$  °C bis  $85$  °C, wenn nicht anders angegeben.

		Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>		siehe Bild 1				
Eingangsspannung, log. 0	$U_{e0}$		0,3		-2	V
Eingangsspannung, log. 1	$U_{e1}$		-24		-28	V
Eingangswiderstand, Takt 1	$R_{e1}$		2,6			M $\Omega$
Eingangswiderstand, Takt 3	$R_{e3}$		2,6			M $\Omega$
Eingangskapazität, Takt 1	$C_{e1}$	Takt 1 = $-26$ V, Takt 3 = $0$ V		100		pF
Eingangskapazität, Takt 3	$C_{e3}$	Takt 1 = $0$ V, Takt 3 = $-26$ V		40		pF
Frequenzbereich	$f$				1,25	MHz
Impulsbreite, Takt 1	$\tau_1$		150			ns
Impulsbreite, Takt 3	$\tau_3$		150			ns
Schaltzeiten						
Taktverzögerungszeit	$t_{pdT}$		150			ns
Anstiegs-Abfallzeit	$t_r, t_f$	10% bis 90%		75	1000	ns
<b>Parallel-Adresseneingang</b>		siehe Bild 2				
Eingangsspannung, log. 0	$U_{e0}$		0,3		-2	V
Eingangsspannung, log. 1	$U_{e1}$		-12		-24	V
Eingangswiderstand	$R_e$	$U_e = -20$ V, $I_e = 1$ $\mu$ A	20			M $\Omega$
Eingangskapazität	$C_e$				5	pF
<b>Informationsausgang</b>						
Ausgangswiderstand gegen Masse	$R_a$	bei log. 0, Laststrom 2,5 mA			1	k $\Omega$
	$R_a$	bei log. 1, $U_e = -20$ V		2		M $\Omega$
Laststrom	$I_L$				3	mA
Ansprechzeit	$t_a$		1			$\mu$ s
<b>Leistungsverbrauch</b>						
8 Ausgänge	$P$			120		mW
4 Ausgänge	$P$			130		mW
2 Ausgänge	$P$			135		mW
1 Ausgang	$P$			140		mW
<b>Stromaufnahme</b>	$I_{DD}$				3	mA

## Allgemeines

Der Festwertspeicher hat 11 Adreßbits, die in 2 Dekodiermatrizen von 5 und 6 Bits angeordnet sind, und 8 Ausgänge. Die 2048 Bits sind in einer  $64 \times 32$ -Bit-Matrix angeordnet, die in acht  $8 \times 32$ -Bit-Matrizen mit Ausgangsstufe geteilt ist. Die Adressierung in jeder Matrix ist bleibend. So wählen die 5A-Dekoder eine der 32 Spalten und B4, B5, B6 eine Zeile aus. Die verbleibenden 3 Adreßbits B1, B2, B3 dienen zur Auswahl von einer der 8 Matrizen. Diese Anordnung ermöglicht verschiedene Betriebsarten, die in Tabelle 1 dargestellt sind. Im Betrieb sind alle Bits auf negative Spannung aufgeladen. Beim Abfragen werden alle Bits entladen (log.0) bis auf diejenigen Bits, die fest eingeschrieben sind. Diese Bits bleiben auf negativem Potential (log.1).

## Beschreibung des Speicherinhaltes

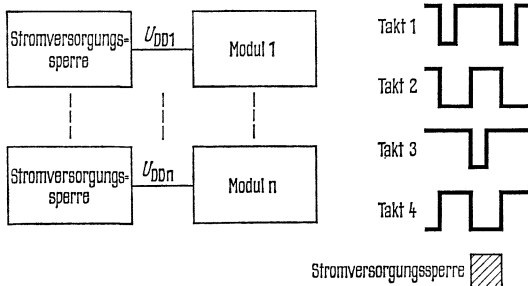
Beim Beschreiben des Informationsinhaltes des Festwertspeichers muß die Rangordnung der Adressenbits beachtet werden. Dabei ist B1 das Bit mit der größten, A5 das mit der kleinsten Wertigkeit.

1024	512	256	128	64	32	16	8	4	2	1
B1	B2	B3	B4	B6	B6	A1	A2	A3	A4	A5

Auf einem Informationsblatt werden die dezimalen Äquivalente zu den 11- Bit-binären-Adressen und der Bit-Inhalt des adressierten Wortes festgehalten.

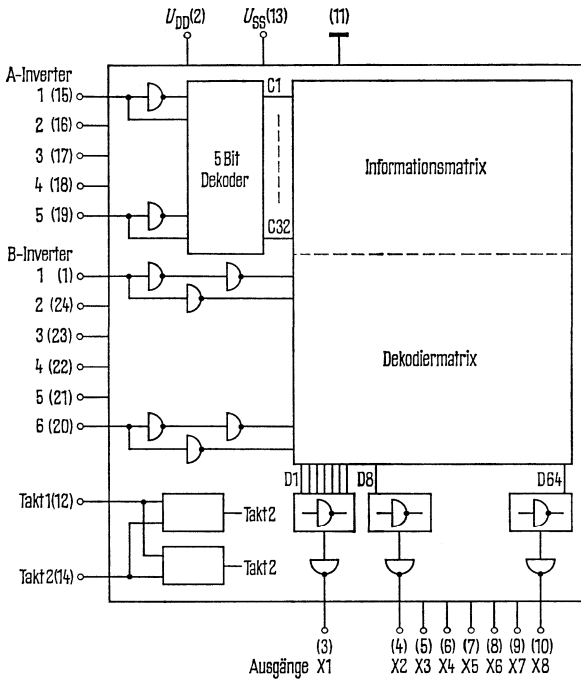
## Modulauswahl

Hat jeder Modul eine eigene Stromversorgung, dann kann die Stromversorgung zur Modulauswahl verwendet werden. Die gewählten Module liegen an der Stromversorgung, die anderen werden während des Taktes 4 auf Masse gelegt (Takt 2 und Takt 4 werden intern erzeugt).



# GDR 106

Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)



## Impulsdiagramm

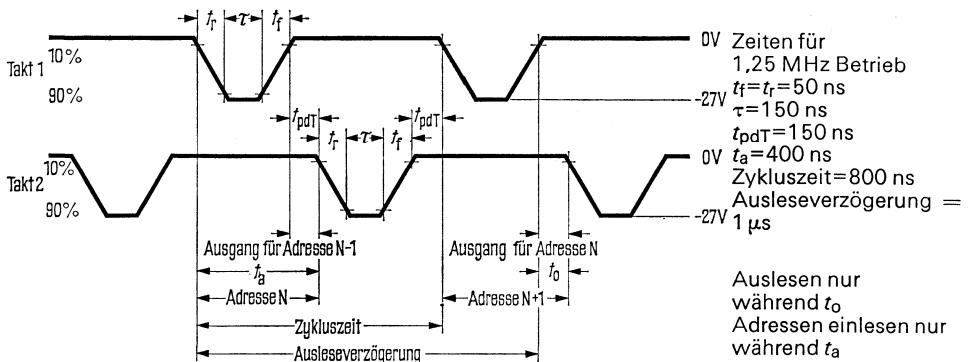
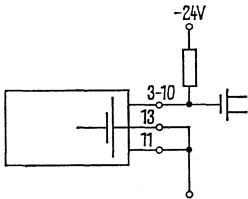


Tabelle 1

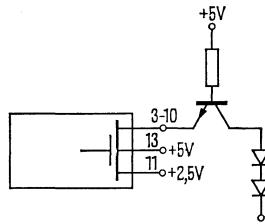
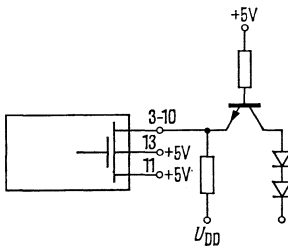
Anzahl						
Ausgänge pro Einheit	Worte pro Einheit	Bits pro Wort	Adreßbits pro Einheit	Bits für Chipauswahl	Speicher pro Modul	Gesamte Bits pro Modul
1	2048	1	11		1	2048
2	1024	2	10	1	2	4096
4	512	4	9	2	4	8192
8	256	8	8	3	8	16384

## Schaltbilder für Anpassungsstufen

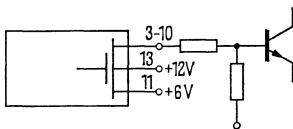
### MOS-Betrieb



### TTL-Betrieb



### Transistor-Betrieb



# GEJ 102, Q67000–J141; GEJ 102 A, Q67000–J162

## Statischer 32-Bit-Zwischenspeicher

Grenzdaten (bezogen auf  $U_{CC}$ -Anschluß)

		min	max	Einheit
Drain-Spannung	$U_{DD}$	0,3	-7	V
Gate-Spannung	$U_{GG}, U_{GI}$	0,3	-20	V
Eingangsspannungen	$U_E$	0,3	-15	V
Betriebstemperatur	$T_U$	-55	125	°C
Lagertemperatur	$T_S$	-55	150	°C

Bauform 1 (GEJ 102), siehe Seite 132

Bauform 4 (GEJ 102 A), siehe Seite 133

Kenndaten bei  $U_{CC}=5\text{ V} \pm 0,5\text{ V}$ ,  $U_{GG}=-12\text{ V} \pm 1\text{ V}$ ,  $U_{GI}=-0,7\text{ V} \pm 0,1\text{ V}$ ,  
( $U_{CC}$ =Substratspannung).

		Prüfbedingungen	min	typ	max	Einheit	
<b>Eingänge</b>							
Eingangsspannung, log. 0	$U_{e0}$	$U_e=0\text{ V}$ bis 5 V $U_e=0\text{ V}$ , $f=1\text{ MHz}$ $U_e=-10\text{ V}$ , alle Eingänge außer Informationseingang siehe Bild 2			0,8	V	
Eingangsspannung, log. 1	$U_{e1}$		-1,5			V	
Eingangswiderstand	$R_e$		1			k $\Omega$	
Eingangskapazität	$C_e$					5	pF
Sperrstrom	$I_k$					10	$\mu\text{A}$
<b>Ausgänge</b>							
Ausgangsspannung, log. 0	$U_{a0}$	Laststrom 1,6 mA 1 TTL-Glied + 15 pF $U_a=0,4\text{ V}$			0,4	V	
Ausgangsspannung, log. 1	$U_{a1}$		-1			V	
Ausgangsstrom	$I_a$				1,6	mA	
Schaltzeiten							
Ausleseverzögerungszeit	$t_d$	siehe Bild 4			750	ns	
Auslesezeit	$t_l$		250			ns	
Schreibzykluszeit	$t_{sz}$		1,5			$\mu\text{s}$	
Schreibtaktzeit	$t_{sT}$		500			ns	
Zugriffszeit	$t_z$		1,5			$\mu\text{s}$	
Lesetakzeit	$t_{lT}$		1			$\mu\text{s}$	
Schreibtaktimpulsbreite	$\tau$				10	$\mu\text{s}$	
<b>Leistungsverbrauch</b>	$P$	$T_U=25\text{ °C}$		90		mW	
Stromaufnahme	$I_{CC}$				6		mA
	$I_{GG}$				5		mA

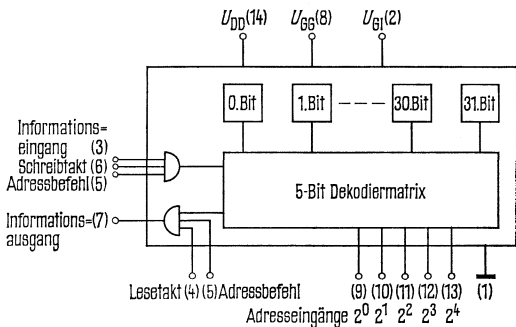
Der GEJ 102 ist ein statischer 32-Bit-Speicher mit direktem Zugriff, der direkt an TTL- oder MOS-Logik-Bausteine angeschlossen werden kann. Der Baustein enthält 32 statische Speicherflipflops mit einer 5-Bit-Adressenkodierung zum Lesen und Einschreiben. Die Informationen werden beim Lesen nicht gelöscht. Ein Zenerdiodennetzwerk schützt alle Eingänge vor Überspannungen. Der Speicher kann Kernspeicher ersetzen.

1. Bei TTL-Betrieb wird Anschluß 2 ( $U_G$ ) mit negativer Spannung, z. B.  $-0,7\text{ V}$ , verbunden. Bei Standard-TTL-Belastung von  $1,6\text{ mA}$  mit kleinen Störspannungen kann Anschluß 2 auch auf Masse gelegt werden. Bei höheren Störspannungen und Betrieb mit höheren Frequenzen sollte ein Arbeitswiderstand (typisch  $1,8\text{ k}\Omega$ ) auf  $+5\text{ V}$  an allen TTL-Ausgängen verwendet werden, so daß die Störspannung über  $1\text{ V}$  liegt. Der Informationseingang hat einen integrierten Vorwiderstand. Ein Widerstand  $R > 1\text{ k}\Omega$  verbindet den Informationseingang mit  $U_{CC}$ . Dieser Belastungsstrom muß bei den Anforderungen an die Ausgangsspannungen berücksichtigt werden.
2. Bei MOS-Betrieb wird Anschluß 2 mit  $U_{GG} = -17\text{ V}$ , Anschluß 14 mit  $U_{DD} = -5\text{ V}$  und Anschluß 1 mit  $U_{CC}$  (Masse) verbunden, so daß die Ausgangsspannungen zwischen  $0\text{ V}$  und  $-10\text{ V}$  und die Eingangsspannungen zwischen  $0\text{ V}$  und  $-5\text{ V}$  variieren können.
3. Der Informationsausgang (Anschluß 3) führt kein definiertes Signal, wenn nicht der Adresseneingang und der Lesetakteingang auf  $\text{log. } 1 (+5\text{ V})$  liegen. Dadurch können mehrere Speicher parallel geschaltet werden. Die Eingänge werden »wired OR« verknüpft. Die Speicherauswahl erfolgt über den Adreßbefehlseingang.

## Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)

Speicher  $32 \times 1$ -Bit -Worte

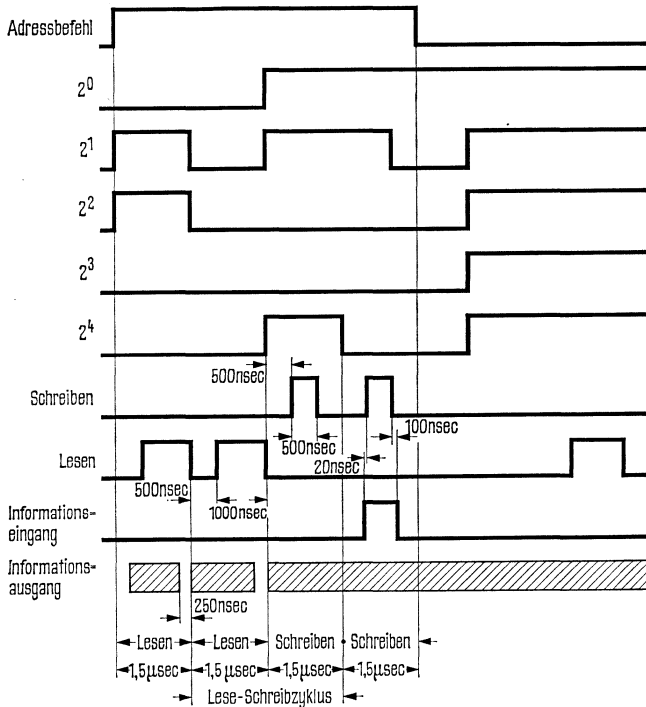
Bild 1



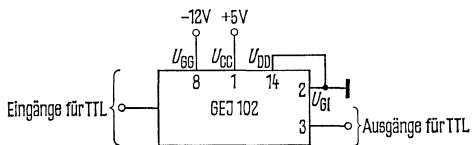
# GEJ 102, GEJ 102A

## Funktionsdiagramm

Bild 4



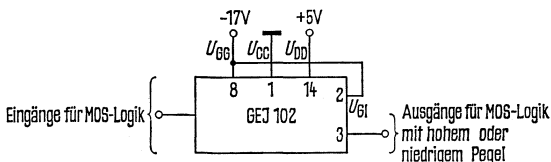
## TTL-Betrieb



## Anmerkungen

1. Am Informationseingang muß beim Einschreiben ein konstantes Signal liegen. Es darf erst 100 ns nach der Rückflanke des Schreibtaktes wechseln.
2. Wenn der Adreßbefehlseingang auf log. 0 liegt, kann weder eingeschrieben noch ausgelesen werden.
3. Information nicht gültig.

## MOS-Betrieb

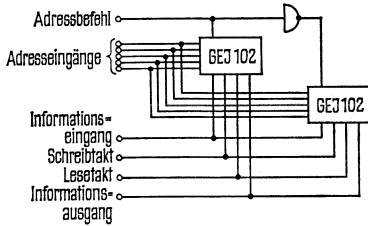




# GEJ 102, GEJ 102 A

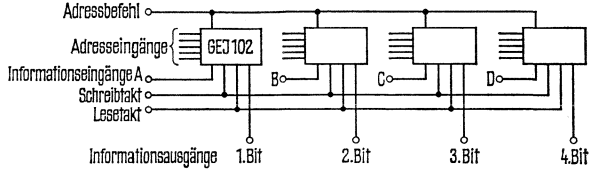
## Blockschaltbild

Speicher 64 × 1 Bit -Worte



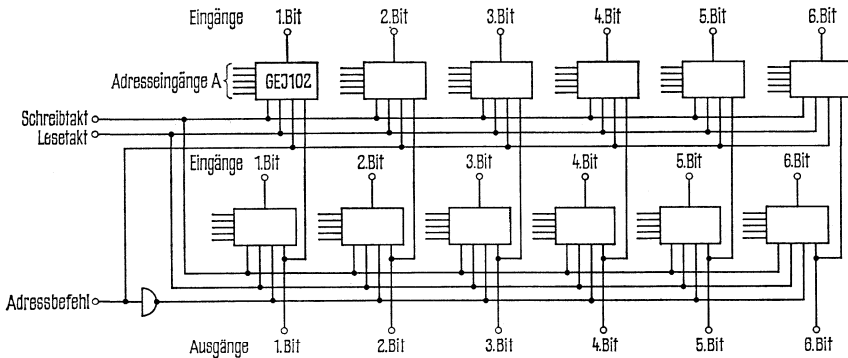
## Blockschaltbild

Speicher 32 × 4 Bit -Worte



## Blockschaltbild

Speicher 64 × 4 Bit -Worte



**Zwei 16-Bit-Serienschieberegister**

Grenzdaten		min	max	Einheit
Gate-Spannung	$U_{GG}, U_{GI}$	0,3	-20	V
Takt- und Eingangsspannung	$U_E$	0,3	-15	V
Betriebstemperatur	$T_U$	-55	125	°C
Lagertemperatur	$T_S$	-55	150	°C

**Bauform 5**, siehe Seite 133

**Kenndaten** bei  $U_{CC}=5\text{ V} \pm 0,5\text{ V}$ ,  $U_{GG}=-12\text{ V} \pm 1\text{ V}$ ,  $U_{GI}=0\text{ V}$  ( $U_{CC}$ =Substratspannung),  $T_U=-55\text{ °C}$  bis  $125\text{ °C}$ , wenn nicht anders angegeben.

	Prüfbedingungen	min	typ	max	Einheit
<b>Taktimpuls</b>					
Eingangsspannung, log. 0	$U_{e0}$	siehe Bild 1		0,8	V
Eingangsspannung, log. 1	$U_{e1}$				V
Eingangswiderstand	$R_e$	$U_e=5\text{ V bis }-5\text{ V}$			MΩ
Eingangskapazität	$C_e$		10		pF
Frequenzbereich	$f$	0		2	MHz
Impulsbreite	$\tau$	200			ns
Störsicherheit	$U_{ss}$	0,4			V
Schaltzeiten					
Taktimpulsverzögerung	$t_{pdT}$	200			ns
Anstiegs-Abfallzeit	$t_r, t_f$	100 kHz		1	μs
Anstiegs-Abfallzeit	$t_r, t_f$	2 MHz		50	ns
<b>Serieneingang</b>					
Eingangsspannung, log. 0	$U_{e0}$	siehe Bild 1		0,8	V
Eingangsspannung, log. 1	$U_{e1}$				V
Eingangswiderstand	$R_e$	$U_e=5\text{ V bis }-5\text{ V}$			MΩ
Eingangskapazität	$C_e$		5		pF
Impulsbreite	$\tau$	300			ns
Störsicherheit	$U_{SS}$	0,4			V
<b>Setzeingang</b>					
Eingangsspannung, log. 0	$U_{e0}$	siehe Bild 2		0,8	V
Eingangsspannung, log. 1	$U_{e1}$				V
Eingangswiderstand	$R_e$	$U_e=5\text{ V bis }-5\text{ V}$			MΩ
Eingangskapazität	$C_e$		5		pF
Impulsbreite	$\tau$	1,5			μs
Störsicherheit	$U_{SS}$	0,4			V
<b>Auswahleingang</b>					
Eingangsspannung, log. 0	$U_{e0}$	siehe Bild 1		0,8	V
Eingangsspannung, log. 1	$U_{e1}$				V
Eingangswiderstand	$R_e$	$U_e=5\text{ V bis }-5\text{ V}$			MΩ
Eingangskapazität	$C_e$		5		pF
Impulsbreite	$\tau$	400			ns
Störsicherheit	$U_{SS}$	0,4			V

		Prüfbedingungen	min	typ	max	Einheit
<b>Informationsausgang</b>		siehe Bild 1				
Ausgangsspannung, log. 0	$U_{a0}$				0,4	V
Ausgangsspannung, log. 1	$U_{a1}$	$I_e=100\ \mu\text{A}, C_L=10\ \text{pF}, I_a=1,6\ \text{mA}$	$U_{CC}-1$			V
<b>Schaltzeiten</b>						
Anstiegszeit	$t_r$			70		ns
Abfallzeit	$t_f$	bei $-55\ ^\circ\text{C}$		20		ns
Ansprechzeit	$t_{d0}$			110		ns
Ansprechzeit	$t_{d1}$			120		ns
Anstiegszeit	$t_r$			90		ns
Abfallzeit	$t_f$	bei $25\ ^\circ\text{C}$		25		ns
Ansprechzeit	$t_{d0}$			120		ns
Ansprechzeit	$t_{d1}$			160		ns
Anstiegszeit	$t_r$			130		ns
Abfallzeit	$t_f$	bei $125\ ^\circ\text{C}$		50		ns
Ansprechzeit	$t_{d0}$			200		ns
Ansprechzeit	$t_{d1}$			220		ns
<b>Leistungsverbrauch</b>	$P$			125		mW
<b>Stromaufnahme</b>	$I_{CC}$	$U_{CC}=5\ \text{V}$		7	11	mA
	$I_{GG}$	$U_{GG}=-12\ \text{V}$		7	11	mA

Der GEJ 112 besteht aus zwei unabhängigen 16-Bit-Serienschieberegistern, die direkt an TTL-Bausteine angeschlossen werden können. Jedes Bit ist ein kreuzgekoppeltes Flipflop, damit die Information unbegrenzt gespeichert werden kann. Informationen werden eingegeben, während der Takt auf log.0 liegt. Die Information wird beim Übergang von log.0 auf log.1 weitergeschoben. Jedes der beiden Register kann zwischen zwei Informationskanälen einen auf ein Kontrollsignal hin auswählen. Ferner hat jedes Register einen Eingang, mit dem alle Stufen auf log.1 gesetzt werden können.

# GEJ 112

Impulssdiagramm  
Bild 1

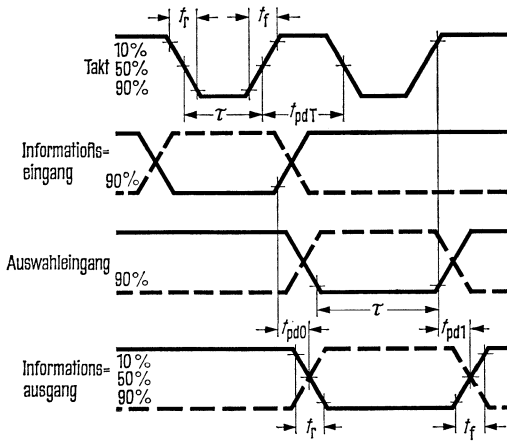
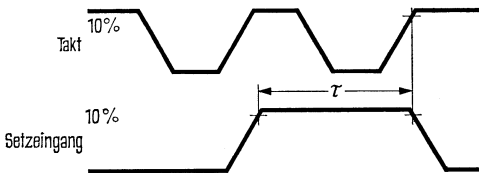
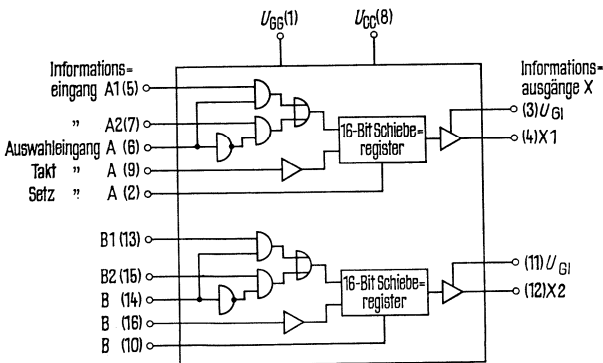


Bild 2



Blockschaltbild (Zahlen in Klammern bezeichnen Anschlußstifte)



## Funktionsdiagramm

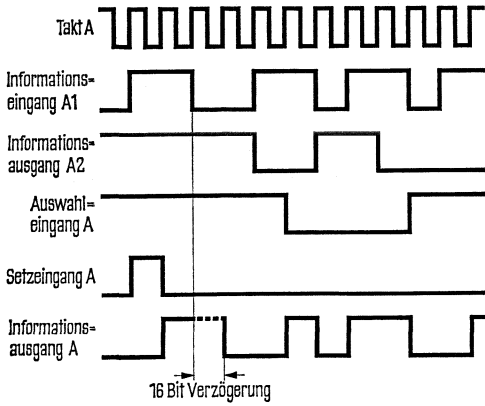


Bild 3

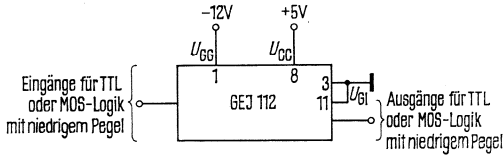
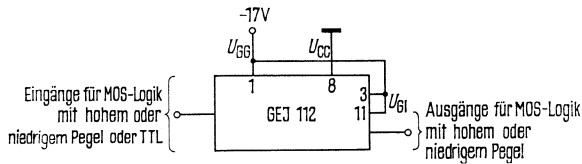


Bild 4



## Statischer Frequenzteiler 1:1000

### Vorläufige Daten

Der SAJ 131 und SAJ 135 sind statische MOS-Frequenzteiler mit dem Teilverhältnis 1:1000 im Gehäuse ähnlich TO-72. Auf Anfrage ist der Frequenzteiler auch mit Rückstelleingang im Gehäuse ähnlich TO-5 lieferbar. Ein Frequenzteiler mit dem Teilverhältnis 1:2048 kann auf Wunsch hergestellt werden.

Anschlußschema:

- 1 Eingang
- 2  $U_{DD}$
- 3 Ausgang
- 4 Masse

Bauform 9, siehe Seite 133

### Grenzdaten

	min	max	Einheit
Betriebsspannung	$U_{DD}$ -20	0,3	V
Eingangsspannung	$U_E$ -20	0,3	V
Ausgangsstrom	$I_A$	2	mA
Betriebstemperatur (Bereich 1)	$T_U$ 0	70	°C
Betriebstemperatur (Bereich 5)	$T_U$ -25	70	°C
Lagertemperatur	$T_S$ -55	125	°C

### Kenndaten

	Prüfbedingungen	min	typ	max	Einheit
Betriebsspannung	$U_{DD}$	-17	-18	-19	V
Stromaufnahme	$I_{DD}$			4	mA
Zählfrequenz	$f_Z$	0		25	kHz
Impulsweite der Zählfrequenz		10			$\mu$ s
Impulspause der Zählfrequenz		15			$\mu$ s
Eingangsspannung, log. 0	$U_{e0}$			-2,0	V
Eingangsspannung, log. 1	$U_{e1}$	-12			V
Eingangswiderstand	$R_e$	10			M $\Omega$
Ausgangsspannung, log. 0	$U_{a0}$	$I_L = -1,0$ mA		-7,0	V
Ausgangsspannung, log. 1	$U_{a1}$				V
Ausgangsstrom, log. 0	$I_{a0}$	$R_L = 10$ k $\Omega$	-15		mA
Ausgangsstrom, log. 1	$I_{a1}$	$R_L = 10$ k $\Omega$	-1,0		mA
				-10	$\mu$ A

### Schaltzeiten des 1:1000 -Teilers

Der Ausgang ist auf log. 1 und nimmt nach dem 1000. Eingangsimpuls bis zu Beginn des nächsten Impulses den Zustand log. 0 an.

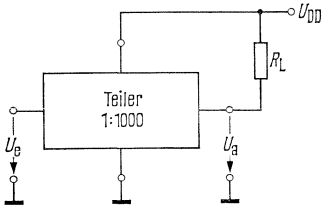
Impulsbreite der Ausgangsspannung	$t_{pw}$	(s. Bild 3)	5		$\mu$ s
Verzögerungszeit	$t_d$	(s. Bild 3)		15	$\mu$ s
Anstiegszeit, Abfallzeit	$t_r, f$	(s. Bild 3)		5	$\mu$ s

### Schaltzeiten des 1:2048 -Teilers

Die Ausgangsspannung wechselt nach jeweils 2048 Eingangsimpulsen von Zustand log. 0 auf log. 1 und umgekehrt. Der Einschaltzustand ist nicht definiert.

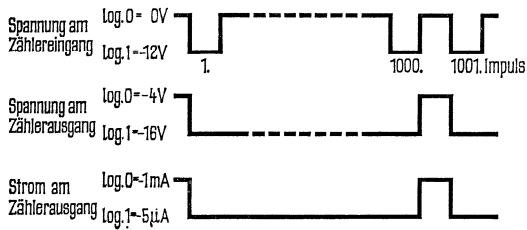
## Beschaltung

Bild 1



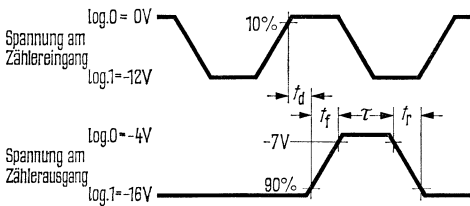
## Funktionsdiagramm, 1:1000-Teiler

Bild 2



## Impulsdiagramm für Schaltzeiten, 1:1000-Teiler

Bild 3







---

## **Analoge integrierte Halbleiterschaltungen**

---

# Vorwort zu Operationsverstärkern

Integrierte Operationsverstärker sind Gleichspannungsverstärker mit einem sehr breiten Anwendungsfeld in der Regelungstechnik, der industriellen Elektronik sowie in der NF-Technik.

## 1. Symbolik und Bezeichnungen

Im Schaltsymbol »Operationsverstärker« werden nur Eingangs- und Ausgangsanschlüsse gezeichnet. Bild 1 zeigt das verwendete Symbol, wobei Anschluß 1 den sogenannten »invertierenden Eingang«, Anschluß 2 den »nicht invertierenden Eingang« und Anschluß 3 den Ausgang kennzeichnet. Dabei hat ein positives Signal an 1 ein negatives Signal an 3 zur Folge.

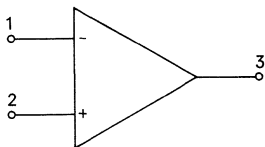


Bild 1

Die Definitionen der wichtigsten Bezeichnungen, die einen Operationsverstärker im allgemeinen ausreichend charakterisieren, sind im folgenden zusammengestellt. Alle Angaben beziehen sich auf symmetrische Versorgungsspannungen.

a) Eingangs-Null-Spannung (Eingangs-Offset-Spannung)  $U_{EOS}$  ist diejenige Spannungsdifferenz, die an den Eingängen angelegt werden muß, damit der Ausgang auf 0 V liegt (Bild 2).  
 $U_{EOS} = U_{E1} - U_{E2}$  bei  $U_A = 0$  und Generatorwiderstand  $R_G = 0$ .

b) Eingangsstrom  $I_E$  ist der Strom, der für die Funktion des OP notwendig ist (Bild 2).

$$I_E = \frac{I_{E1} + I_{E2}}{2}$$

c) Eingangs-Null-Strom (Eingangs-Offset-Strom)  $I_{EOS}$  ist die Differenz der Eingangsströme im Arbeitsbereich. Er kann bei hohem Generatorwiderstand störend wirken (Bild 2).  
 $I_{EOS} = I_{E1} - I_{E2}$  bei  $U_A = 0$ .

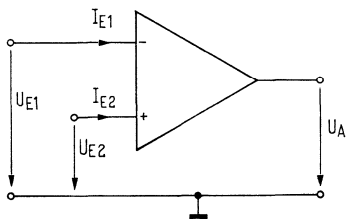


Bild 2

d) Leerlauf (-Spannungs-) Verstärkung  $V_U$  ist die Verstärkung ohne Gegenkopplung (Bild 3).

$$V_U = \frac{U_A}{U_E} \text{ bei } R_F = \infty \text{ (} R_F = \text{Widerstand vom Ausgang zum Eingang).}$$

e) Gleichtaktverstärkung  $V_{UG}$  gibt die Verstärkung eines an beiden Eingängen gleichphasig eingespeisten Signales an (Bild 4).

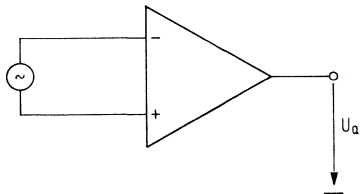


Bild 3

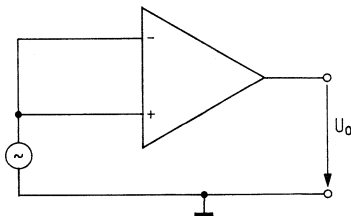


Bild 4

f) Gleichtaktunterdrückung  $G$  gibt an, um wieviel ein Gleichtaktsignal (gleichphasig) gegenüber einem Gegentaktsignal (gegenphasig) am Ausgang unterdrückt erscheint.

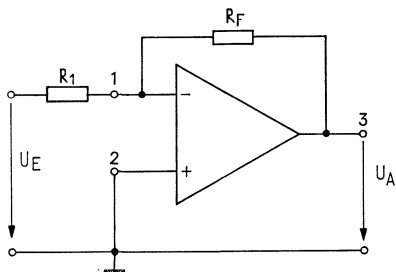
$$G = 20 \log |V_U| - 20 \log |V_{UG}|.$$

g) Temperaturkoeffizienten der Eingangs-Offset-Spannung und des Eingangs-Offset-Stromes geben den mittleren Verlauf dieser Werte in Abhängigkeit der Temperatur an. Die Temperaturkoeffizienten können in einem angegebenen Temperaturbereich angenähert linear betrachtet werden.

h) Eingangswiderstand  $R_E$  ist der Widerstand, der zwischen dem invertierenden und nichtinvertierenden Eingang gemessen wird.

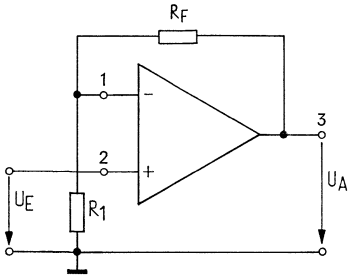
## 2. Grundsaltungen

Invertierender Verstärker:



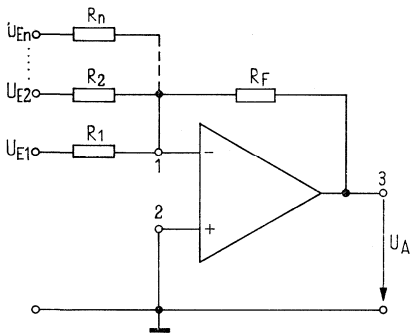
$$U_A = -\frac{R_F}{R_1} \cdot U_E$$

Nichtinvertierender Verstärker:



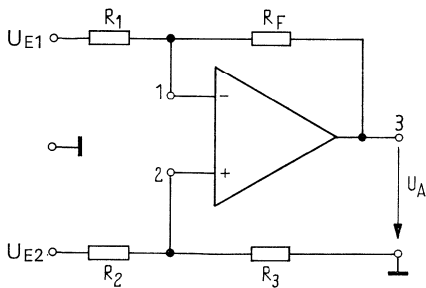
$$U_A = \frac{R_1 + R_F}{R_1} \cdot U_E$$

Summierender Verstärker:



$$U_A = -R_F \left( \frac{U_{E1}}{R_1} + \frac{U_{E2}}{R_2} + \dots + \frac{U_{En}}{R_n} \right)$$

Differenzverstärker:

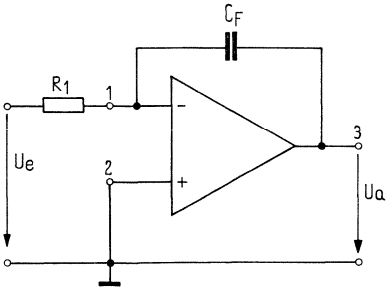


$$U_A = \frac{R_3}{R_1} \left( \frac{R_1 + R_F}{R_2 + R_3} \right) \cdot U_{E2} - \frac{R_F}{R_1} \cdot U_{E1}$$

mit  $R_2 = R_1$  und  $R_3 = R_F$

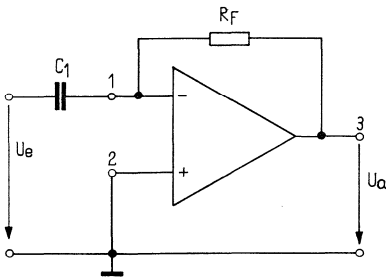
$$U_A = \frac{R_F}{R_1} (U_{E2} - U_{E1})$$

Integrierender Verstärker:



$$u_a = -\frac{1}{R_1 C_F} \int u_e dt$$

Differenzierender Verstärker:



$$u_a = -R_F C_1 \cdot \frac{d u_e}{dt}$$

**Unser Lieferprogramm analoger Halbleiterschaltungen wird in Kürze erweitert mit:**

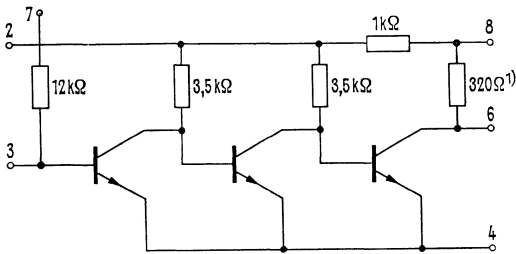
- TAA 761**      Operationsverstärker ähnlich TAA 861 mit  $U_{\text{Batt}} = \pm 18 \text{ V}$
- TBA 221 A**    Operationsverstärker TBA 221 im DIP-Gehäuse
- SAS 101/111**   Je zwei Kernspeicher-Leseverstärker mit Komplementär-Ausgängen (äquivalent zu SN 7520/21 N)
- SAS 121/23**    Je zwei Kernspeicher-Leseverstärker mit offenen Kollektor-Ausgängen (äquivalent zu SN 7522/23 N)
- SAS 141/51**    Je zwei Kernspeicher-Leseverstärker mit getrennten Ausgängen (äquivalent zu SN 7524/25 N)

# TAA 111, Q61901-A111; TAA 121, Q61901-A121

## Dreistufiger NF-Verstärker

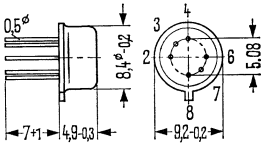
Die Halbleiterschaltungen TAA 111 und TAA 121 sind besonders geeignet als Verstärker für Batteriegeräte mit räumlich gedrängtem Aufbau. Das Gehäuse darf weder mit Masse noch mit einem anderen Potential verbunden werden.

Schaltbild



1) Nur bei TAA 111

Bauform



Gehäuse 5 H 6 DIN 41873  
(ähnlich TO 78)  
Gewicht etwa 1 g

### Grenzdaten

	TAA 111, TAA 121	
Betriebsspannung	$U_{\text{Batt}}$	7 V
Betriebstemperatur	$T_U$	-30 bis 100 °C
Sperrschichttemperatur	$T_j$	150 °C
Lagertemperatur	$T_S$	-35 bis 125 °C
Gesamtverlustleistung ( $T_U=45\text{ °C}$ )	$P_{\text{tot}}$	350 mW
Wärmewiderstand (System – Luft)	$R_{\text{thSU}}$	$\leq 300$ grd/W

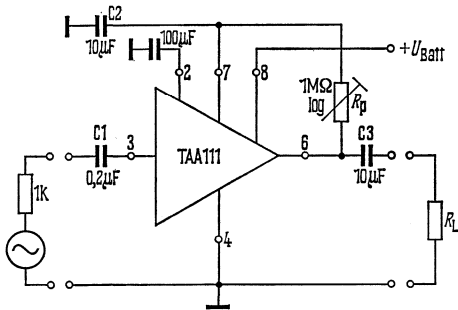
## Kenndaten ( $T_U=25\text{ °C}$ )

bezogen auf die angegebene Schaltung ( $U_{\text{Batt}}=4,5\text{ V}$ ;  $R_L=500\ \Omega$ ; der Arbeitspunkt ist mit dem Abgleichwiderstand  $R_p$  so eingestellt, daß bei einer Ausgangswechselfspannung  $U_{\text{Aeff}}=1\text{ V}$  der Klirrfaktor minimal wird).

Abgleichwiderstand	$R_p$	300 (40 bis 1000)	$\text{k}\Omega$
Stromaufnahme	$I_{\text{ges}}$	$U_{\text{Batt}}=4,5\text{ V}$	10 (<16) mA
Stromaufnahme	$I_{\text{ges}}$	$U_{\text{Batt}}=7\text{ V}$	17 (<30) mA
Spannungsverstärkung	$V_u$	$f=1\text{ kHz}$	65 (>62) dB
Klirrfaktor	$k$	$U_{\text{Aeff}}=1\text{ V}; f=1\text{ kHz}$	1 (<3) %
Eingangsimpedanz	$Z_e$		$\geq 3\text{ k}\Omega$
Untere Grenzfrequenz	$f_u$	-3 dB <sup>1)</sup>	80 Hz
Obere Grenzfrequenz	$f_o$	-3 dB	150 kHz
Geräuschspannung am Ausgang	$U_R$	nach DIN 45405 $R_G=1\text{ k}\Omega$	4 (<8) mV

## Meßschaltung

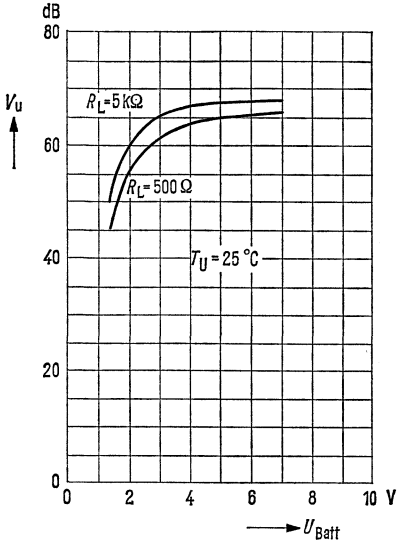
Die Werte für  $C_1$ ,  $C_2$  und  $C_3$  sind Richtwerte und können, z. B. bei Verwendung eines anderen Lastwiderstandes, abgeändert werden. Mit Hilfe des Abgleichwiderstandes  $R_p$  ( $1\text{ M}\Omega$  log) wird der Arbeitspunkt der Schaltung eingestellt.



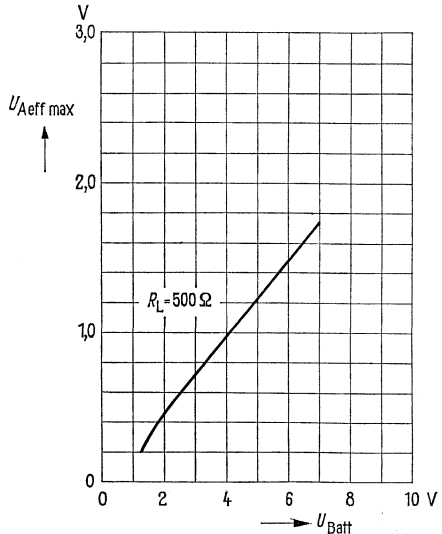
1) Abhängig von der äußeren Beschaltung

# TAA 111

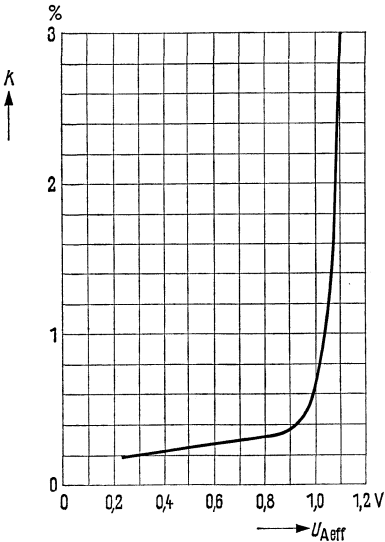
Spannungsverstärkung  $V_U = f(U_{\text{Batt}})$ ;  
 ( $f=1 \text{ kHz}$ ,  $R_L = \text{Parameter}$ )



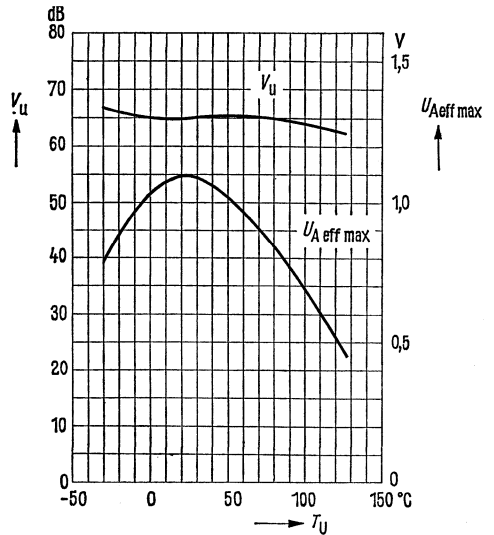
Ausgangsspannung  $U_{\text{Aeff max}} = f(U_{\text{Batt}})$   
 ( $f=1 \text{ kHz}$ ,  $k_{\text{ges}}=3\%$ ;  $T_U=25 \text{ }^\circ\text{C}$ )



Klirrfaktor  $k = f(U_{\text{Aeff}})$   
 ( $U_{\text{Batt}}=4,5 \text{ V}$ ,  $R_L=500 \Omega$ ,  $f=1 \text{ kHz}$ )



Spannungsverstärkung  $V_U = f(T_U)$ ;  
 ( $f=1 \text{ kHz}$ ;  $U_{\text{Batt}}=4,5 \text{ V}$ ,  $R_L=500 \Omega$ )  
 Ausgangsspannung  $U_{\text{Aeff max}} = f(T_U)$ ;  
 ( $f=1 \text{ kHz}$ ;  $k_{\text{ges}}=3\%$ ;  $U_{\text{Batt}}=4,5 \text{ V}$ ,  $R_L=500 \Omega$ )  
 Arbeitspunkt, eingestellt bei  $T_U=25 \text{ }^\circ$ ,  
 wird nicht mehr verändert





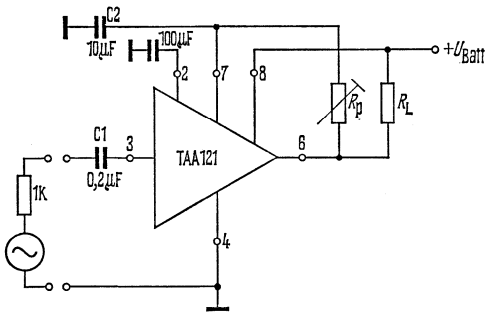
## Kenndaten ( $T_U=25\text{ °C}$ )

bezogen auf die angegebene Schaltung ( $U_{\text{Batt}}=4,5\text{ V}$ ;  $R_L=500\ \Omega$ ; der Arbeitspunkt ist mit dem Abgleichwiderstand  $R_p$  so eingestellt, daß bei einer Ausgangswechselspannung  $U_{\text{Aeff}}=1\text{ V}$  der Klirrfaktor minimal wird).

Abgleichwiderstand	$R_p$	$U_{\text{Batt}}=4,5\text{ V}$	300 (40 bis 1000)	$\text{k}\Omega$
Stromaufnahme	$I_{\text{ges}}$	$f=1\text{ kHz}$	8	$\text{mA}$
Spannungsverstärkung	$V_u$	$U_{\text{Aeff}}=1\text{ V}; f=1\text{ kHz}$	74	$\text{dB}$
Klirrfaktor	$k$		1	$\%$
Eingangsimpedanz	$Z_e$		$\geq 3$	$\text{k}\Omega$
Untere Grenzfrequenz	$f_u$	-3 db <sup>1)</sup>	80	$\text{Hz}$
Obere Grenzfrequenz	$f_o$	-3 db	150	$\text{kHz}$
Geräuschspannung (auf den Eingang bezogen)	$U_R$	nach DIN 45405	<4	$\mu\text{V}$
		$R_G=1\text{ k}\Omega$		

## Meßschaltung

Die Werte für  $C_1$  und  $C_2$  sind Richtwerte. Mit Hilfe des Abgleichwiderstandes  $R_p$  wird der Arbeitspunkt der Schaltung eingestellt.



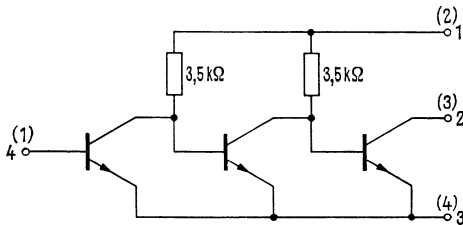
1) Abhängig von der äußeren Beschaltung

# TAA 131, Q61901-A131; TAA 141, Q61901-A141

## Dreistufiger NF-Verstärker

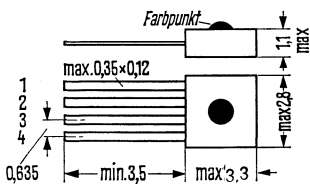
Die Halbleiterschaltungen TAA 131 und TAA 141 sind besonders geeignet für Batteriegeräte mit räumlich gedrängtem Aufbau. Das Gehäuse des TAA 141 darf weder mit Masse noch mit einem anderen Potential verbunden werden.

Schaltbild: TAA 131, TAA 141 (eingeklammerte Zahlen gelten für TAA 141)



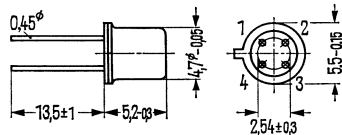
### Bauform

#### TAA 131



Kunststoffumhüllung (U 38)  
Gewicht etwa 0,02 g

#### TAA 141



Gehäuse 18 A 4 DIN 41876  
(ähnlich TO-72)  
Gewicht etwa 0,4 g

### Grenzdaten

Betriebsspannung  
Kollektorstrom der Endstufe  
Sperrschichttemperatur  
Betriebstemperatur TAA 131  
TAA 141  
Lagertemperatur  
Gesamtverlustleistung ( $T_U=90^\circ\text{C}$ ) TAA 131  
TAA 141  
Wärmewiderstand (System – Luft)

$U_{\text{Batt}}$	5	V
$I_{2(3)}^{1)}$	12	mA
$T_j$	125	$^\circ\text{C}$
$T_U$	-20 bis 90	$^\circ\text{C}$
$T_U$	-30 bis 100	$^\circ\text{C}$
$T_S$	-35 bis 125	$^\circ\text{C}$
$P_{\text{tot}}$	50	mW
$P_{\text{tot}}$	60	mW
$R_{\text{thSU}}$	$\leq 600$	grd/W

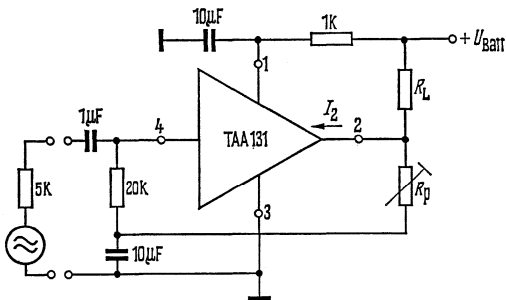
1) Abhängig von der äußeren Beschaltung

**Kenndaten** ( $T_U=25\text{ °C}$ )

bezogen auf die angegebene Schaltung ( $U_{\text{Batt}}=1,3\text{ V}$ ;  $R_L=500\ \Omega$ ;  $I_2$  mit Abgleichwiderstand  $R_p$  auf  $0,75\text{ mA}$  eingestellt).

Abgleichwiderstand	$R_p$		400 (40 bis 1000)	k $\Omega$
Stromaufnahme	$I_{\text{ges}}$	$U_{\text{Batt}}=1,3\text{ V}$	<1,2	mA
Spannungsverstärkung	$V_u$	$f=1\text{ kHz}$	57 (>50)	dB
Klirrfaktor	$k$	$U_{\text{Aeff}}=0,1\text{ V}; f=1\text{ kHz}$	<10	%
Untere Grenzfrequenz	$f_u$	-3 db <sup>1)</sup>	<40	Hz
Obere Grenzfrequenz	$f_o$	-3 db	>20	kHz
Geräuschspannung (auf den Eingang bezogen)	$U_R$	nach DIN 45405 $R_G=5\text{ k}\Omega$	<5	$\mu\text{V}$

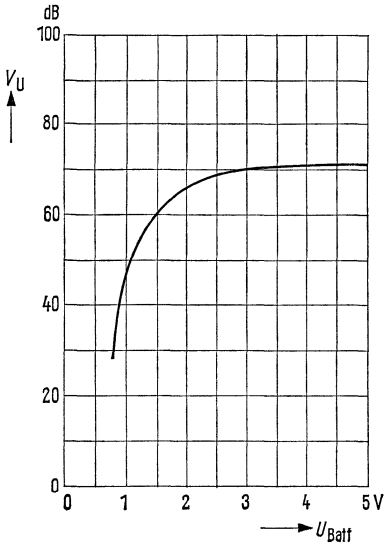
Meßschaltung



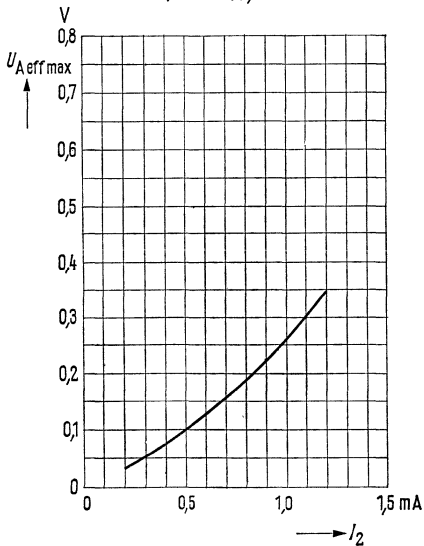
1) Abhängig von der äußeren Beschaltung

# TAA 131

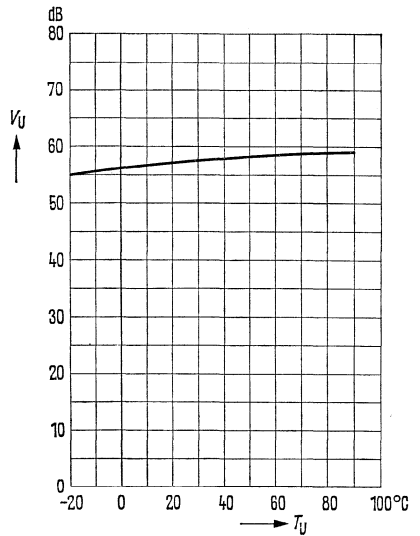
Spannungsverstärkung  $V_U = f(U_{\text{Batt}})$   
 $R_L = 500 \Omega$ ;  $f = 1 \text{ kHz}$   
 Arbeitspunkt bei  $U_{\text{Batt}} = 1,3 \text{ V}$  auf  
 $I_2 = 0,75 \text{ mA}$  einmalig eingestellt



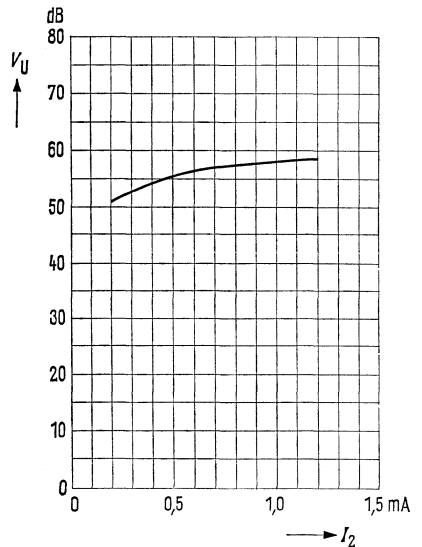
Ausgangsspannung  $U_{A, \text{eff max}} = f(I_2)$   
 $(U_{\text{Batt}} = 1,3 \text{ V}; R_L = 500 \Omega;$   
 $f = 1 \text{ kHz}; k = 10\%)$



Spannungsverstärkung  $V_U = f(T_U)$   
 $(U_{\text{Batt}} = 1,3 \text{ V}; R_L = 500 \Omega; f = 1 \text{ kHz};$   
 der Arbeitspunkt wurde bei  $T_U = 25 \text{ }^\circ\text{C}$   
 mit  $R_{\text{pot}}$  auf  $I_2 = 0,75 \text{ mA}$  eingestellt)



Spannungsverstärkung  $V_U = f(I_2)$   
 $(U_{\text{Batt}} = 1,3 \text{ V}; R_L = 500 \Omega; f = 1 \text{ kHz})$

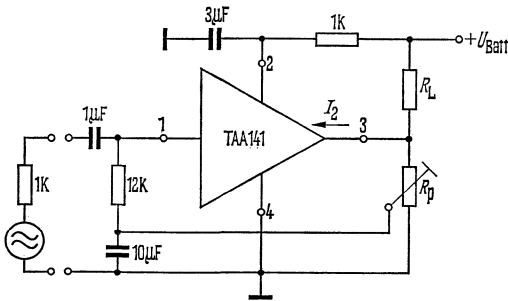


## Kenndaten ( $T_U=25\text{ °C}$ )

bezogen auf die angegebene Schaltung ( $U_{\text{Batt}}=3\text{ V}$ ;  $R_L=470\ \Omega$ ; Strom  $I_2$  mit dem Abgleichwiderstand  $R_p$  auf 3,1 mA eingestellt).

Stromaufnahme	$I_{\text{ges}}$	$U_{\text{Batt}}=3\text{ V}$	$<4$	mA
Spannungsverstärkung	$V_u$	$f=1\text{ kHz}$	$70 (>63)$	dB
Klirrfaktor	$k$	$U_{\text{Aeff}}=0,9\text{ V}$ ; $f=1\text{ kHz}$	$5 < 10$	%
Untere Grenzfrequenz	$f_u$	$-3\text{ dB}^1)$	$<40$	Hz
Obere Grenzfrequenz	$f_o$	$-3\text{ dB}$	$>20$	kHz
Geräuschspannung (auf den Eingang bezogen)	$U_R$	nach DIN 45405 $R_G=1\text{ k}\Omega$	$<4$	$\mu\text{V}$

## Meßschaltung



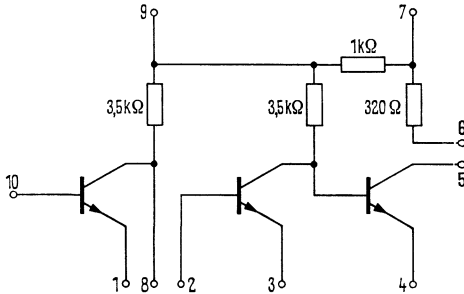
1) Abhängig von der äußeren Beschaltung

# TAA 151, Q67000-A1; TAA 151 S, Q67000-A55

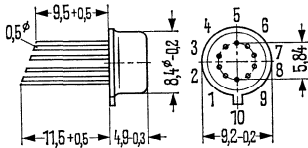
## Dreistufiger Verstärker

Die Halbleiterschaltungen TAA 151 und TAA 151 S sind Linearverstärker, die bis ca. 600 kHz universell verwendbar sind. Anschluß 4 muß stets auf dem niedrigsten Potential liegen. Anschluß 7 ist auf das höchste Potential zu legen.

Schaltbild



Bauform



Gehäuse 5 J 10 DIN 41873

(ähnlich TO-100)

Gewicht etwa 1,1 g

### Grenzdaten

	TAA 151	TAA 151S		
Betriebsspannung	$U_{Batt}$	7	12	V
Betriebstemperatur	$T_U$	-30 bis 100	-30 bis 100	°C
Sperrschichttemperatur	$T_j$	125	125	°C
Lagertemperatur	$T_S$	-35 bis 125	-35 bis 125	°C
Gesamtverlustleistung ( $T_U=45^\circ\text{C}$ )	$P_{tot}$	350	350	mW
Wärmewiderstand System – Luft	$R_{thSU}$	<300	<300	grd/W
Spannungen <sup>1)</sup>	$U_{9/3}$	7	12	V
	$U_{8/1}$	7	12	V
	$U_{7/4}$	7	12	V
	$U_{5/4}$	7	12	V
	$U_{1/10}$	6	6	V
	$U_{3/2}$	6	6	V
	$U_{8/10}$	20	25	V
Ströme	$I_2$	10	10	mA
	$-I_5$	40	40	mA
	$-I_8$	20	20	mA
	$I_{10}$	10	10	mA

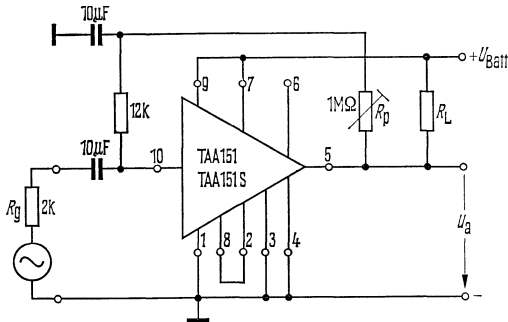
1) Anschluß 7 ist auf das höchste positive Potential zu legen

# TAA 151, TAA 151 S

Kenndaten des 1. Transistors ( $T_U=25\text{ }^\circ\text{C}$ )

Kenndaten des 1. Transistors ( $T_U=25\text{ }^\circ\text{C}$ )			TAA 151	TAA 151 S	
Kollektor-Emitter-Spannung	$U_{8/1}$		>7	>12	V
Stromverstärkung	$B$	$U_{G/1}=1\text{ V}, I_{B}=1\text{ mA}$	80 (>30)	80 (>30)	
Kollektor-Emitter-Restspannung	$U_{8/1\text{ sat}}$	$I_{B}=10\text{ mA}, I_{10}=1\text{ mA}$	<1	<1	V
Rauschmaß	$F$	$U_{8/1}=5\text{ V}, I_{B}=100\text{ }\mu\text{A}$ $R_G=2\text{ k}\Omega, f=1\text{ kHz}$	2 (<10)	2 (<10)	dB
Rauschmaß	$F$	$U_{8/1}=5\text{ V}, I_{B}=100\text{ }\mu\text{A}$ $R_G=2\text{ k}\Omega, f=30\text{ Hz bis }15\text{ kHz}$	6 (<10)	6 (<10)	dB
Bezogen auf die angegebene Meßschaltung gelten folgende Werte	bei $\left\{ \begin{array}{l} U_{\text{Batt}} \\ R_L \\ R_G \end{array} \right.$		7	12	V
			150	150	$\Omega$
			2	2	k $\Omega$
Spannungsverstärkung	$V_u$	$v_u = \frac{U_a}{U_g}, f=1\text{ kHz}$	>70	>70	dB
Klirrfaktor	$k$	$U_{A\text{ eff}}=1\text{ V}; f=1\text{ kHz}$	<5	<5	%

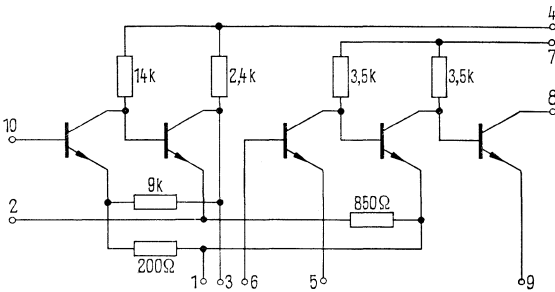
Meßschaltung



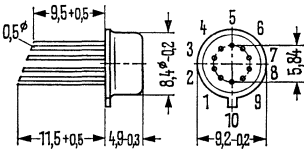
## Fünfstufiger NF-Verstärker

Der Kollektor der zweiten Stufe und die Basis der dritten Stufe sind bei diesem NF-Vorverstärker herausgeführt, damit eine Lautstärkeregelung und Entzerrung eingefügt werden kann. Die Eingangsstufe des Verstärkers ist besonders rauscharm ausgelegt.

Schaltbild



Bauform



Gehäuse 5 J 10 DIN 41873  
(ähnlich TO-100)  
Gewicht etwa 1,1 g

### Grenzdaten

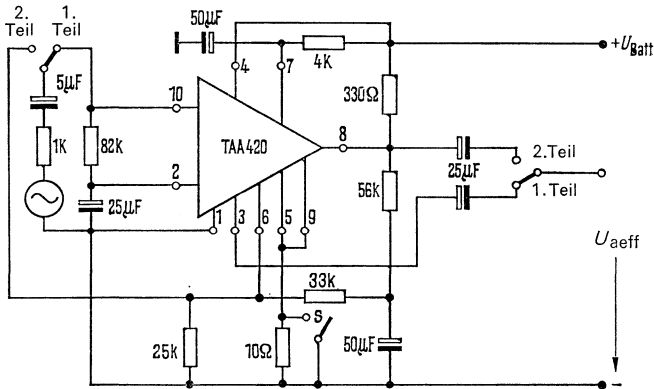
Betriebsspannung	$U_{\text{Batt}}$	12	V
Gesamtverlustleistung ( $T_G=45\text{ °C}$ )	$P_{\text{tot}}$	350	mW
Wärmewiderstand System – Luft	$R_{\text{thSU}}$	300	grad/W
	System – Gehäuse	$R_{\text{thSG}}$	70
Betriebstemperatur	$T_U$	-15 bis 80	°C
Sperrschichttemperatur	$T_j$	150	°C
Lagertemperatur	$T_s$	-35 bis 120	°C



**Kenndaten** ( $T_U=25\text{ }^\circ\text{C}$ ;  $U_{\text{Batt}}=7,5\text{ V}$ ;  $f=1\text{ kHz}$ )

Stromaufnahme	$I_{\text{Batt}}$		12	mA
<b>Eingangsteil (1. Teil)</b>				
Spannungsverstärkung	$V_U$	$U_{\text{aeff}}=1\text{ V}$	31	dB
Klirrfaktor	$K$		< 4	%
Eingangsimpedanz	$Z_e$	$R_G=1\text{ k}\Omega$ $R_G=18\text{ k}\Omega$	> 40	$\text{k}\Omega$
Geräuschspannung (auf den Eingang bezogen)	$U_R$		nach DIN 45405	2
Grenzfrequenz	$f_g$		$\geq 20$	kHz
<b>Ausgangsteil (2. Teil)</b>				
Spannungsverstärkung	$V_U$	Schalter S geschlossen	> 70	dB
Spannungsverstärkung	$V_U$	Schalter S offen	29	dB
Klirrfaktor	$K$	$U_{\text{aeff}}=2\text{ V}$	< 4	%
Grenzfrequenz	$f_g$	Schalter S offen	$\geq 20$	kHz

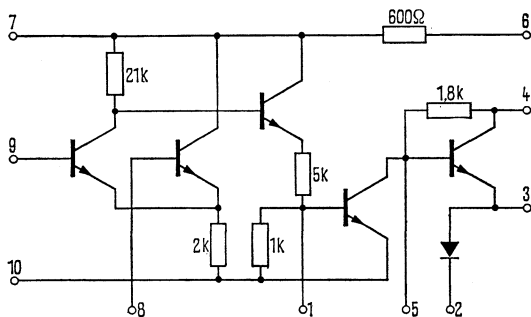
## Meßschaltung



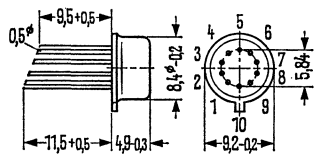
# TAA 435, Q67000-A81

## NF-Verstärker (Vor- und Treiberstufe)

Schaltbild



Bauform



Gehäuse 5 J 10 DIN 41873  
(ähnlich TO-100)

Gewicht etwa 1,1 g

### Grenzdaten:

Betriebsspannung	$U_{\text{Batt}}$	18	V
Eingangsspannung	$-U_{9/10}$	5	V
Ausgangsspannung	$U_{4/10}$	24	V
	$U_{3/10}$	20	V
Treiberstrom	$I_4$	70	mA
Gesamtverlustleistung ( $T_u=45^\circ\text{C}$ )	$P_{\text{tot}}$	400	mW
Betriebstemperatur	$T_u$	-25 bis 80	$^\circ\text{C}$
Sperrschichttemperatur	$T_j$	125	$^\circ\text{C}$
Lagertemperatur	$T_s$	-35 bis 125	$^\circ\text{C}$
Wärmewiderstand System – Luft	$R_{\text{thSU}}$	<300	grd/W

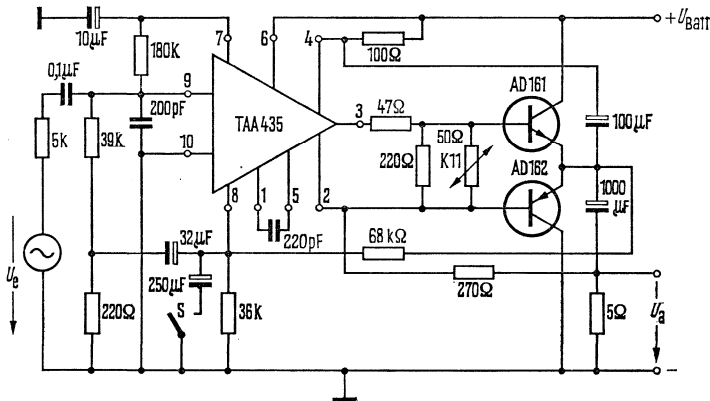
## Statische Kenndaten ( $U_{\text{Batt}}=10$ bis $18\text{ V}$ , $T_U=25\text{ }^\circ\text{C}$ )

Diodendurchlaßspannung	$U_{3/2}$	$-I_2=30\text{ mA}$	0,8	V
Kollektor-Emitter-Spannung	$U_{4/3}$	$I_4=50\text{ mA}$	<3,5	V

## Dynamische Kenndaten ( $T_U=25\text{ }^\circ\text{C}$ , $U_{\text{Batt}}=14\text{ V}$ )

		Schalter S		
		offen	geschlossen	
Spannungsverstärkung	$V_U$	50 <sup>1)</sup>	80 <sup>2)</sup>	dB
Eingangsimpedanz	$Z_e$	> 70		k $\Omega$
Rauschzahl	$F$	$f=60-10\,000\text{ Hz}$	6	dB
Ausgangsleistung	$P_a$	$k=10\%$	$\approx 4$	W
Klirrfaktor	$k$	$P_a=1\text{ W}$	$\approx 1$	%

## Meßschaltung



- 1) Mit Gegenkopplung
- 2) Ohne Gegenkopplung

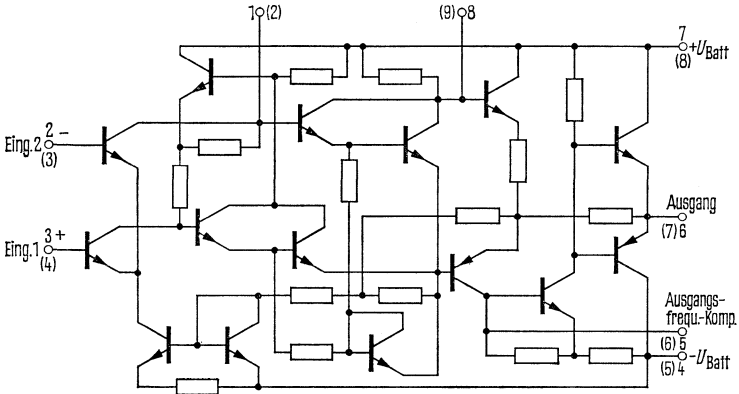
# TAA 521, Q67000-A74; TAA 521A, Q67000-A164; TAA 522, Q67000-A84

## Operationsverstärker

Integrierte Operationsverstärker mit ausgezeichneter Temperaturstabilität, großem Eingangswiderstand und hoher Gleichtaktunterdrückung. Die Verstärker eignen sich hervorragend für den Einsatz in Servosystemen, Analogrechnern und Meßgeräten. Der Frequenzgang kann durch äußere Beschaltung eingestellt werden.

Schaltbild

Eingangsfrequ.-Komp.

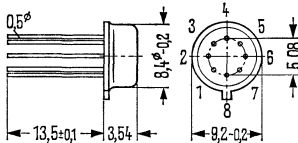


Anschlüsse in Klammern gelten für TAA 521A

TAA 521A

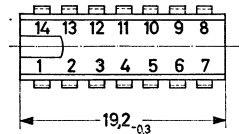
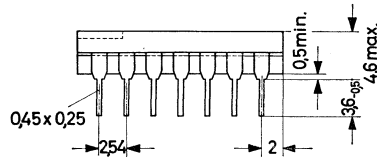
Bauformen:

TAA 521, TAA 522



Gehäuse ähnlich 5 G 8 DIN 41 873  
(ähnlich TO-79)

Gewicht etwa 1,1 g



Plastik-Steckgehäuse 14 Anschlüsse

Gewicht etwa 1,1 g

### Grenzdaten

Betriebsspannungen

Differential-Eingangsspannung

Maximale Eingangsspannung

Gesamtverlustleistung TAA 521, 521A ( $T_G=70^\circ$ )  
TAA 522 ( $T_G=95^\circ$ )

Ausgangskurzschlußdauer

Betriebstemperatur TAA 521, 521A

TAA 522

Lagertemperatur

$U_{Batt}$	$\pm 18$	V
$U_{DE}$	$\pm 5$	V
$U_E$	$\pm 10$	V
$P_{tot}$	250	mW
$P_{tot}$	300	mW
	5	s
$T_U$	0 bis 70	$^\circ\text{C}$
$T_U$	-55 bis 125	$^\circ\text{C}$
$T_S$	-65 bis 150	$^\circ\text{C}$

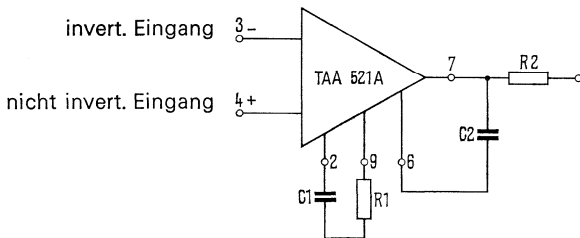
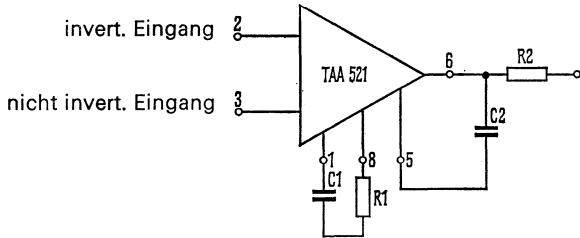
# TAA 521, TAA 521A

## Kenndaten

( $U_{\text{Batt}} = \pm 15 \text{ V}$ ,  $T_U = 25 \text{ }^\circ\text{C}$ ,  
wenn nicht anders angegeben)

		Prüfbedingungen	min	typ	max	Einheit
Leerlaufleistungsverbrauch	$P_D$			80	200	mW
Eingangs-Null-Spannung	$U_{\text{EOS}}$	$R_G < 10 \text{ k}\Omega$ ,		2	7,5	mV
	$U_{\text{EOS}}$	$R_G < 10 \text{ k}\Omega$ , $T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$			10	mV
Eingangs-Null-Strom	$I_{\text{EOS}}$			100	500	nA
	$I_{\text{EOS}}$	$T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$			750	nA
Eingangsstrom	$I_E$			0,3	1,5	$\mu\text{A}$
	$I_E$	$T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$			2,0	$\mu\text{A}$
Eingangsimpedanz	$Z_e$		50	250		$\text{k}\Omega$
Maximale Ausgangsspannung	$U_{\text{ass}}$	$R_L > 10 \text{ k}\Omega$	$\mp 12$	$\mp 14$		V
	$U_{\text{ass}}$	$R_L > 2 \text{ k}\Omega$	$\mp 10$	$\mp 13$		V
Ausgangsimpedanz	$Z_a$			150		$\Omega$
Spannungsverstärkung	$V_U$	$U_{\text{ass}} = \mp 10 \text{ V}$ , $R_L = 2 \text{ k}\Omega$	83,6	93		dB
	$V_U$	$T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$	81,5			dB
Gleichtaktunterdrückung	$G$	$R_G < 10 \text{ k}\Omega$	65	90		dB
	$\alpha_E$	$R_G < 10 \text{ k}\Omega$ , $T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$		10		$\mu\text{V}/^\circ\text{C}$

Frequenzkompensationsschaltung:  $R_2 = 50 \text{ }\Omega$  für kapazitive Last



# TAA 522

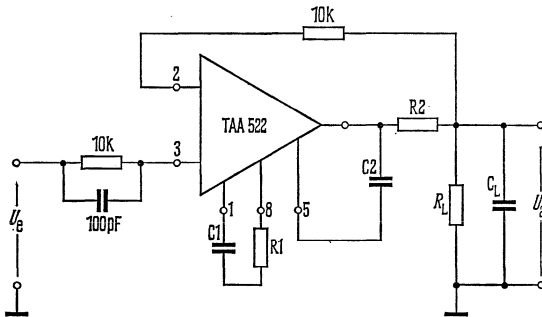
## Kenndaten

( $U_{\text{Batt}} = \pm 15 \text{ V}$ ,  $T_U = 25 \text{ }^\circ\text{C}$ ,  
wenn nicht anders angegeben)

	Prüfbedingungen	min	typ	max	Einheit
Leerlaufleistungsverbrauch	$P_D$		80	165	mW
Eingangs-Null-Spannung	$U_{\text{EOS}}$	$R_G < 10 \text{ k}\Omega$	1	5	mV
	$U_{\text{EOS}}$	$R_G < 10 \text{ k}\Omega$		6	mV
		$T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$			
Eingangs-Null-Strom	$I_{\text{EOS}}$		50	200	nA
Eingangsstrom	$I_{\text{E}}$	$T_U = -125 \text{ }^\circ\text{C}$	20	200	nA
	$I_{\text{E}}$	$T_U = -55 \text{ }^\circ\text{C}$	200	500	nA
			500	1500	nA
Eingangsimpedanz	$Z_e$		150	400	$\text{k}\Omega$
	$R_e$		40	100	$\text{k}\Omega$
Maximale Ausgangsspannung	$U_{\text{ass}}$	$T_U = -55 \text{ }^\circ\text{C}$ bis $125 \text{ }^\circ\text{C}$	$\pm 12$	$\pm 14$	V
		$R_L \geq 10 \text{ k}\Omega$ , $T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$			
	$U_{\text{ass}}$	$R_L \geq 2 \text{ k}\Omega$ , $T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$	$\pm 10$	$\pm 13$	V
Ausgangsimpedanz	$Z_a$		150		$\Omega$
Spannungsverstärkung	$V_U$	$U_{\text{ass}} = \mp 15 \text{ V}$ , $R_L > 2 \text{ k}\Omega$	88	93	dB
		$T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$			
		$U_{\text{ass}} = \pm 10 \text{ V}$			
Gleichtaktunterdrückung	$G$	$R_G \leq 10 \text{ k}\Omega$	70	90	dB
		$R_G \leq 50 \Omega$ , $T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$		3	$\mu\text{V}/^\circ\text{C}$
		$R_G \leq 10 \text{ k}\Omega$ , $T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$		6	$\mu\text{V}/^\circ\text{C}$
		$R_G \leq 10 \text{ k}\Omega$ , $T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$			
		$R_G \leq 10 \text{ k}\Omega$ , $T_U = -55 \text{ bis } 125 \text{ }^\circ\text{C}$			

Frequenzkompensationsschaltung: siehe TAA 521

Meßschaltung für die Schaltzeiten

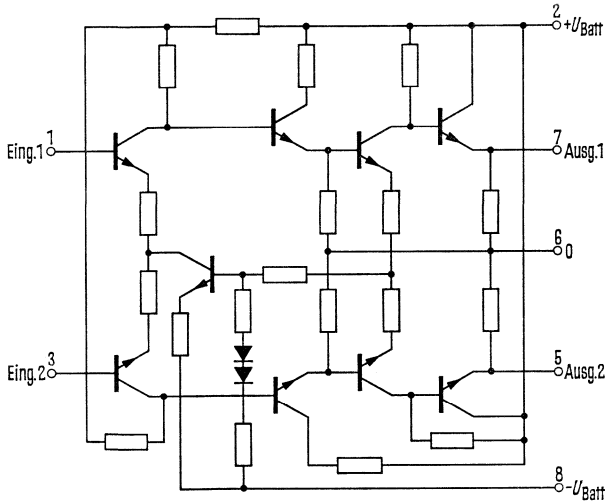


## Breitbandverstärker

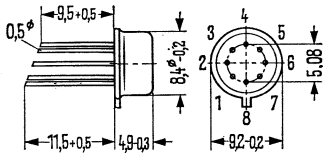
### Vorläufige Daten

Integrierte Breitbandverstärker mit Differentialeingang und -ausgang, hoher Bandbreite (ca. 40 MHz) bei geringer Phasendrehung und hoher Stabilität.

### Schaltbild



### Bauform



Gehäuse 5 G 8 DIN 41873  
(ähnlich TO-78)

Gewicht etwa 1,1 g

### Grenzdaten

Betriebsspannungen	$U_{Batt}$	$\pm 8$	V
Differential-Eingangsspannung	$U_{DE}$	5	V
Betriebstemperatur	$T_U$	0 bis 70	°C
	$T_U$	-55 bis 125	°C
Lagertemperatur	$T_S$	-65 bis 150	°C

# TAA 721

## Kenndaten

( $U_{\text{Batt}} = \pm 6 \text{ V}$ ,  $T_U = 25 \text{ °C}$ )

		Prüfbedingungen	min	typ	max	Einheit
Leerlaufleistungsverbrauch	$P_D$			165	220	mW
Eingangsstrom	$I_E$			50	100	$\mu\text{A}$
Eingangs-Null-Strom	$I_{\text{EOS}}$			5	30	$\mu\text{A}$
Eingangsimpedanz	$Z_e$	$f=100 \text{ kHz}$		6		$\text{k}\Omega$
Maximale Ausgangsspannung	$U_{\text{ass}}$	$R_L=5 \text{ k}\Omega$ , $f=100 \text{ kHz}$		4,5		V
Ausgangs-Null-Spannung	$U_{\text{AOS}}$			0,5	2,0	V
Ausgangsimpedanz	$Z_a$	$f=100 \text{ kHz}$		35		$\Omega$
Spannungsverstärkung	$V_U$	$U_e=1 \text{ mV}$ , $R_L=5 \text{ k}\Omega$ , $f=100 \text{ kHz}$	60	90	120	dB
Gleichtaktunterdrückung	$G$	$f=100 \text{ kHz}$		80		dB
Gleichtakt-Spannungs- verstärkung	$V_{UG}$	$U_{eG}=0,3 \text{ V}$ , $R_L=5 \text{ k}\Omega$ , $f=100 \text{ kHz}$		-40	-20	dB
Bandbreite (-3 dB Abfall)	$B$			40		MHz
Klirrfaktor	$k$	$U_a=1 \text{ V}$ , $R_L=5 \text{ k}\Omega$ , $f=10 \text{ kHz}$		2,0		%
Anstiegszeit } des Ausgangs- Abfallzeit } impulses	$t_r$ $t_f$	$U_e=5 \text{ mV}$		10 10	15 15	ns ns



## Kenndaten

( $U_{\text{Batt}} = \pm 6 \text{ V}$ ,  $T_U = 25 \text{ °C}$ )

		Prüfbedingungen	min	typ	max	Einheit
Leerlaufleistungsverbrauch	$P_D$			165	220	mW
Eingangsstrom	$I_E$			40	80	$\mu\text{A}$
Eingangs-Null-Strom	$I_{\text{EOS}}$			3	20	$\mu\text{A}$
Eingangsimpedanz	$Z_e$	$f=100 \text{ kHz}$		6		$\text{k}\Omega$
Maximale Ausgangsspannung	$U_{\text{ass}}$	$R_L=5 \text{ k}\Omega$ , $f=100 \text{ kHz}$		4,5		V
Ausgangs-Null-Spannung	$U_{\text{AOS}}$			0,3	1,2	V
Ausgangsimpedanz	$Z_a$	$f=100 \text{ kHz}$		35		$\Omega$
Spannungsverstärkung	$V_U$	$U_e=1 \text{ mV}$ , $R_L=5 \text{ k}\Omega$ , $f=100 \text{ kHz}$	75	93	110	dB
Gleichtaktunterdrückung	$G$	$f=100 \text{ kHz}$		85		dB
Gleichtakt-Spannungsverstärkung	$V_{\text{UG}}$	$U_{eG}=0,3 \text{ V}$ , $R_L=5 \text{ k}\Omega$ , $f=100 \text{ kHz}$		-45	-30	dB
Bandbreite (-3 dB Abfall)	$B$			40		MHz
Klirrfaktor	$k$	$U_a=1 \text{ V}$ , $R_L=5 \text{ k}\Omega$ , $f=10 \text{ kHz}$		1,5		%
Anstiegszeit } des Ausgangs-	$t_r$	} $U_e=5 \text{ mV}$		9	12	ns
Abfallzeit } impulses	$t_f$			9	12	ns

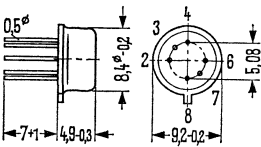
# TAA 861, Q67000-A89; TAA 865, Q67000-A109

## Operationsverstärker

TAA 861 und TAA 865 sind monolithisch integrierte Operationsverstärker in Planartechnik. Sie zeichnen sich aus durch hohe Verstärkung, großen Eingangswiderstand, geringe Temperatur- und Betriebsspannungsabhängigkeit, hohe Schwingsicherheit, sehr große Aussteuerbarkeit, sehr großen Gleichtaktbetrieb, hohe Stromergiebigkeit sowie einer zulässigen Eingangsdifferenzspannung von  $\pm U_{Batt}$ .

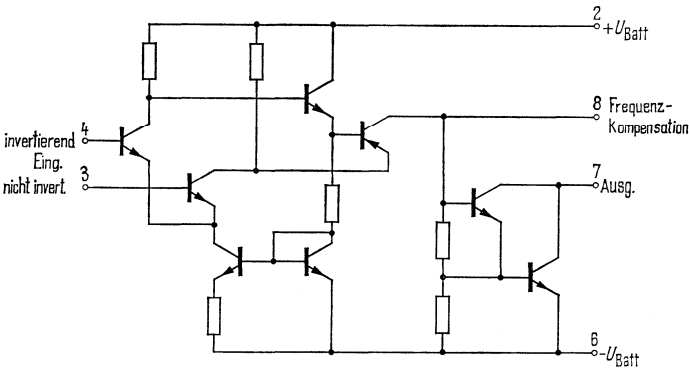
Anwendungsgebiete für diesen Universalverstärker sind die Regeltechnik, Autoelektronik, NF-Technik sowie Analog-Rechner-Technik.

Bauform:

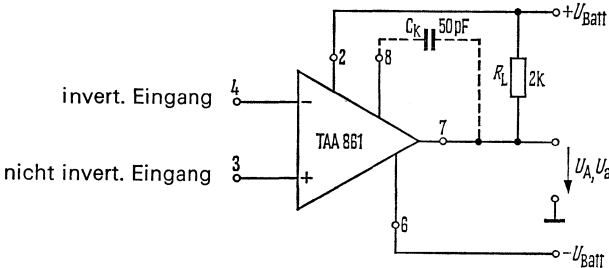


Gehäuse 5H6 DIN 41873  
(ähnlich TO-78)  
Gewicht etwa 1 g

Schaltbild:



Grundsaltung:  $C_K$  = Ausgangsfrequenzkompensation;  $R_L$  = Lastwiderstand



# TAA 861, TAA 865

Grenzdaten		TAA 861	TAA 865	Einheit
Betriebsspannung	$U_{\text{Batt}}$	±10		V
Maximaler Ausgangsdauerstrom	$I_A$	70		mA
Betriebstemperatur	$T_U$	0 bis 70	-25 bis +80	°C
Lagertemperatur	$T_S$	-35 bis +125		°C
Wärmewiderstand (System-Luft)	$R_{\text{thSU}}$	≤300		grad/W

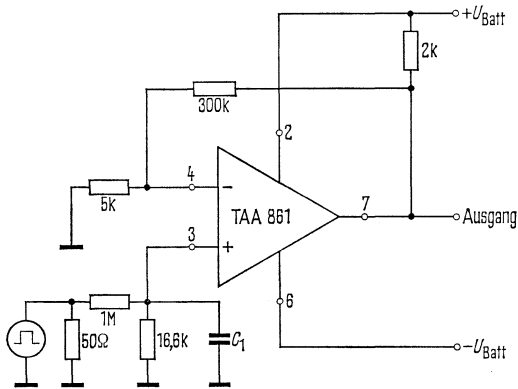
Funktionsbereich  $U_{\text{Batt}} = \pm 2$  bis  $\pm 10$  V

## Elektrische Kenndaten ( $U_{\text{Batt}} = \pm 10$ V; $T_U = 25$ °C)

		Prüfbedingungen	min	typ	max	Einheit
Leistungsaufnahme	$P_D$	$R_L = 2 \text{ k}\Omega$ , $U_A \sim 0$		60		mW
Eingangs-Null-Spannung	$U_{\text{EOS}}$	$R_G = 60 \Omega$		2		mV
Eingangs-Null-Strom	$I_{\text{EOS}}$			50		mA
Eingangsstrom	$I_E$			0,3	1,5	μA
Maximale Ausgangsspannung	$U_{\text{ass}}$	$R_L = 2 \text{ k}\Omega$	±9			V
Ausgangsspannung	$U_{\text{ass}}$	$R_L = 400 \Omega$ ; $I_A \sim 45 \text{ mA}$	±8			V
Eingangsimpedanz	$Z_e$	$f = 1 \text{ kHz}$		200		kΩ
Leerlauf-Spannungsverstärkung	$V_u$	$R_L = 2 \text{ k}\Omega$ , $f = 1 \text{ kHz}$		84		dB
	$V_u$	$R_L = 10 \text{ k}\Omega$ , $f = 1 \text{ kHz}$		90		dB
	$V_u$	$R_L = 2 \text{ k}\Omega$ , $f = 1 \text{ kHz}$		43		dB
Eingangs-Gleichtaktbereich	$U_{\text{EG}}$	$R_L = 2 \text{ k}\Omega$		±9		V
Gleichtaktunterdrückung	$G$	$R_L = 2 \text{ k}\Omega$	80	86		dB
Temp. Koeffizient d. $U_{\text{EOS}}$	$\alpha_E$	$R_G = 60 \Omega$		6		μV/°C
		$T_U = 0$ bis $70$ °C				
Temp. Koeffizient d. $I_{\text{EOS}}$	$\alpha_I$	$T_U = 0$ bis $70$ °C		0,3		nA/°C
Anstiegsgeschwindigkeit von $U_a$ im nicht invert. Betrieb	$\frac{dU_a}{dt_r}$	$R_G = 60 \Omega$		3		V/μsec
im invert. Betrieb	$\frac{dU_a}{dt_r}$	Meßschaltung 1			12	V/μsec
		Meßschaltung 2				

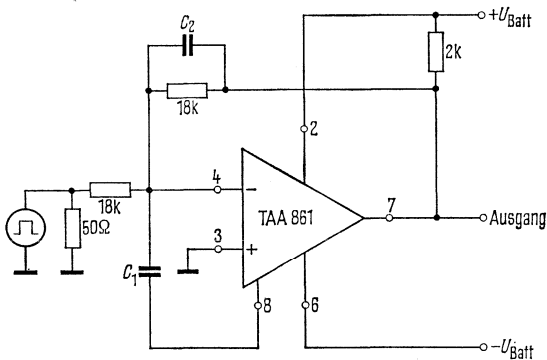
# TAA 861, TAA 865

## Meßschaltung 1 (nicht invertierender Betrieb)



\*)  $C_1$  für min. Überschwingen (ca. 22 pF)

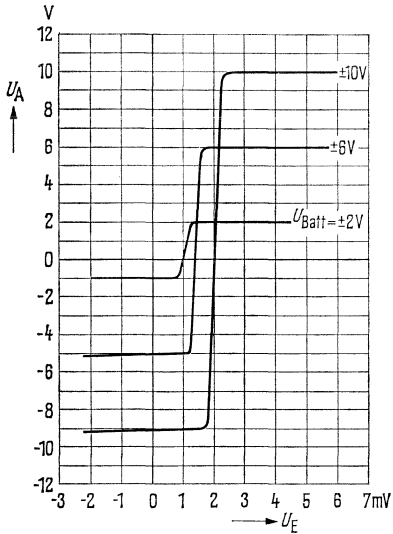
## Meßschaltung 2 (invertierender Betrieb)



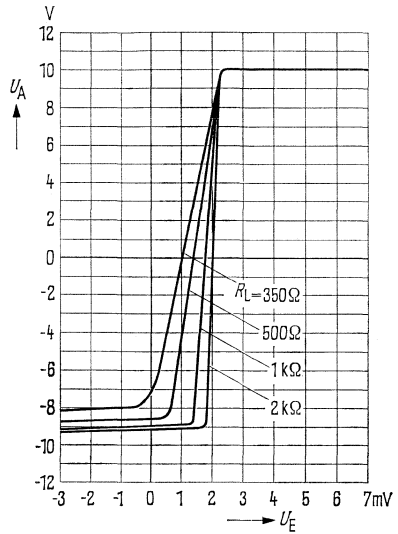
\*)  $C_1$  bewirkt eine frequenzabhängige Kompensation zur Verkleinerung der Anstiegszeiten (ca. 390 pF)

\*)  $C_2$  für min. Überschwingen (ca. 3,9 pF)

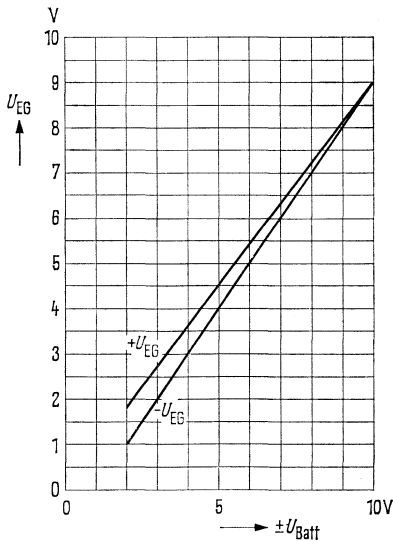
Transferkennlinie  $U_A = f(U_E)$ ;  $R_L = 2 \text{ k}\Omega$   
 $U_{\text{Batt}} = \text{Parameter}$



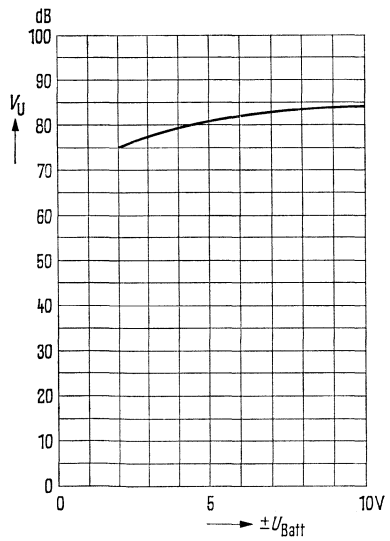
Transferkennlinie  $U_A = f(U_E)$ ;  
 $U_{\text{Batt}} = \pm 10 \text{ V}$ ;  $R_L = \text{Parameter}$



Gleichtaktbereich  $U_{\text{EG}} = f(U_{\text{Batt}})$



Leerlaufspannungsverstärkung  
 $V_U = f(U_{\text{Batt}})$   $R_L = 2 \text{ k}\Omega$

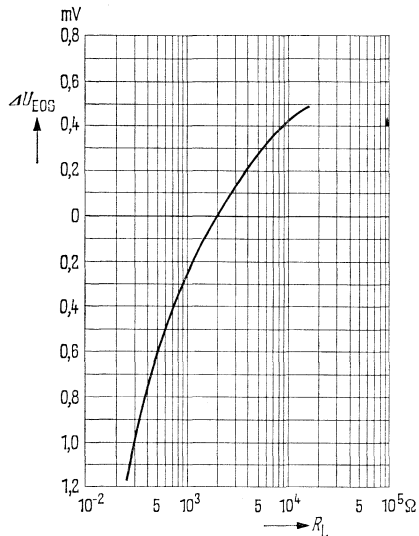


# TAA 861, TAA 865

Nullspannungsänderung  $\Delta U_{EOS} = f(R_L)$

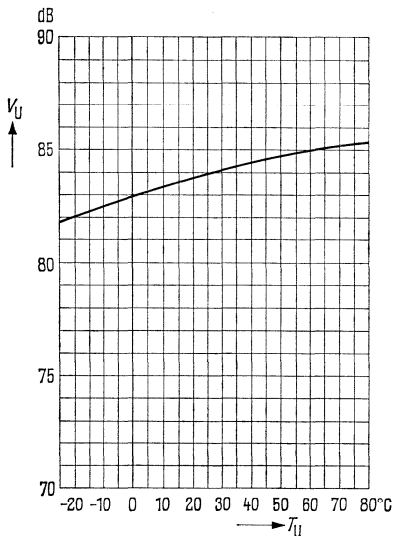
$U_{Batt} = \pm 10\text{ V}$ ,

$\Delta U_{EOS} = U_{EOS}(R_L) - U_{EOS}(2\text{ k}\Omega)$



Leerlaufspannungsverstärkung

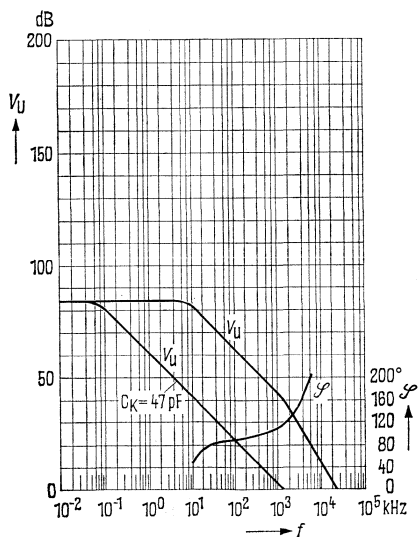
$V_U = f(T_U), U_{Batt} = \pm 10\text{ V}$



Leerlaufverstärkung und Phase

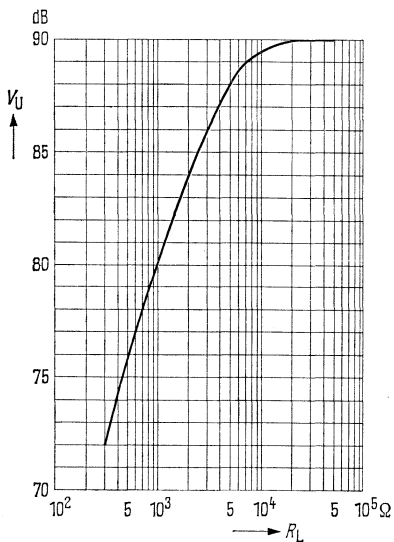
$V_U = f(f); \varphi = f(f); U_{Batt} = \pm 10\text{ V};$

$R_L = 2\text{ k}\Omega$



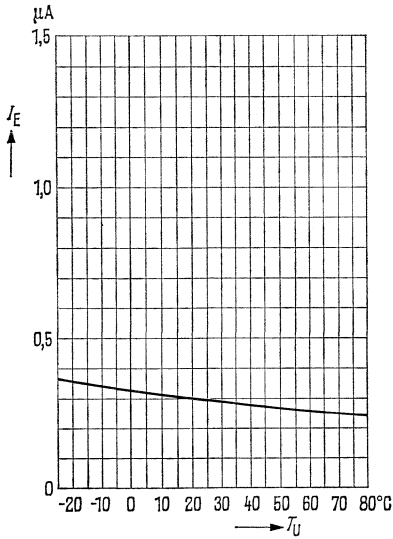
Leerlaufspannungsverstärkung

$V_U = f(R_L); U_{Batt} = \pm 10\text{ V}$

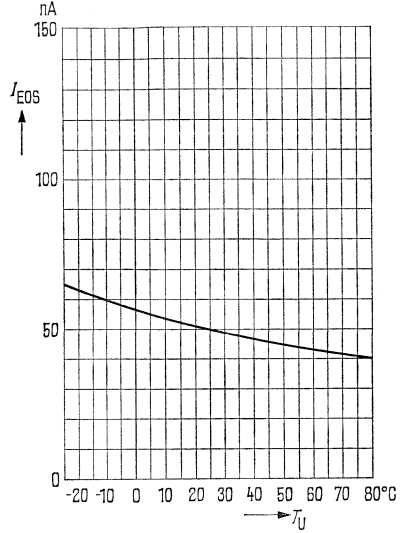


# TAA 861, TAA 865

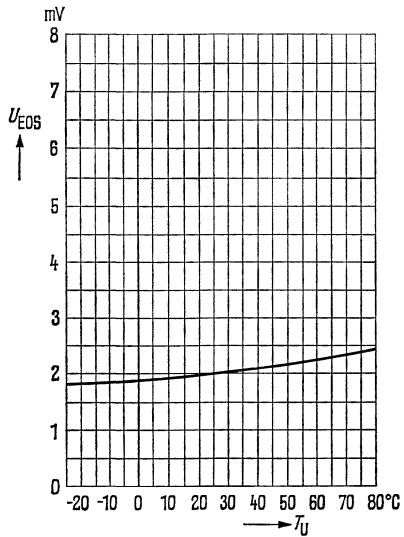
Eingangsstrom  $I_E = f(T_U)$   
 $U_{\text{Batt}} = \pm 10 \text{ V}; R_L = 2 \text{ k}\Omega$



Eingangsnullstrom  $I_{\text{EOS}} = f(T_U)$   
 $U_{\text{Batt}} = \pm 10 \text{ V}; R_L = 2 \text{ k}\Omega$



Eingangsnullspannung  $U_{\text{EOS}} = f(T_U)$   
 $U_{\text{Batt}} = \pm 10 \text{ V}; R_L = 2 \text{ k}\Omega$



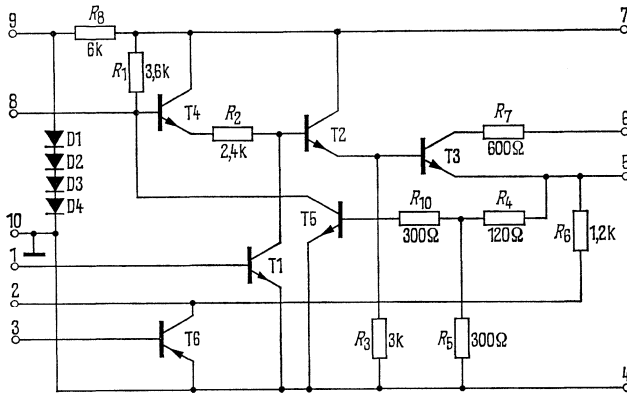
# TAA 981, Q67000-A149

## AM/FM-ZF-Verstärker

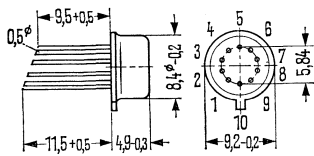
### Vorläufige Daten

Die integrierte Halbleiterschaltung TAA 981 ist ein kombinierter AM/FM-ZF-Verstärker für den Einsatz in Rundfunkempfängern. Gute Regeleigenschaften bei AM-Betrieb (460 KHz) und Begrenzungseigenschaften bei FM-Betrieb (10,7 MHz), sowie geringe Stromaufnahme und Betriebsspannungsabhängigkeit ermöglichen universellen Einsatz in batterie- und netzgespeisten Empfängern.

### Schaltbild



### Bauform



Gehäuse 5 J 10 DIN 41873  
(ähnlich TO-100)  
Gewicht etwa 1 g

### Grenzdaten

Betriebsspannung  
Umgebungstemperatur  
Lagertemperatur

$U_{\text{Batt}}$	11	V
$T_U$	-15 bis 80	°C
$T_S$	-30 bis 125	°C



## Kenndaten ( $T_U=25\text{ °C}$ )

Funktionsbereich	$U_{\text{Batt}}$	4,5 bis 11	V
<b>AM-Betrieb (<math>f_Z=460\text{ KHz}</math>; <math>U_{\text{Batt}}=5\text{ V}</math>)</b>			
Gesamtstromaufnahme (ohne Signal)	$I_{\text{Batt}}$	3,6	mA
Kollektorstrom Tr 3 (ohne Signal)	$I_6$	2	mA
Stabilisierte Spannung	$U_9/M$	2,8 (2,6 bis 3,2)	V
Spannungsverstärkung	$V_u$	80	dB
Regelumfang	$\Delta V_u$	50	dB
Eingangsspannung für Regeleinsatz	$U_e$	50	$\mu\text{V}$
Richtspannung ( $U_e=50\text{ }\mu\text{V}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$-U_{\text{Richt}}$	200 (>100)	mV
NF-Ausgangsspannung	$U_{\text{NF}}$	120	mV
( $U_e=50\text{ }\mu\text{V}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )			
Eingangsspannung für Übersteuerungsbeginn	$U_{\ddot{U}}$	15	mV

## AM-Betrieb ( $f_Z=460\text{ KHz}$ ; $U_{\text{Batt}}=9\text{ V}$ )

Gesamtstromaufnahme (ohne Signal)	$I_{\text{Batt}}$	6	mA
Kollektorstrom Tr 3 (ohne Signal)	$I_6$	2	mA
Stabilisierte Spannung	$U_9/M$	2,9 (2,6 bis 3,2)	V
Spannungsverstärkung	$V_u$	90	dB
Regelumfang	$\Delta V_u$	60	dB
Regeleinsatzspannung	$U_e$	15	$\mu\text{V}$
Richtspannung	$-U_{\text{Richt}}$	200 (>100)	mV
( $U_e=15\text{ }\mu\text{V}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )			
NF-Ausgangsspannung	$U_{\text{NF}}$	120	mV
( $U_e=15\text{ }\mu\text{V}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )			
Eingangsspannung für Übersteuerungsbeginn	$U_{\ddot{U}}$	25	mV
Klirrfaktor ( $U_e=15\text{ mV}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$k$	<10	%
NF-Ausgangsspannung	$U_{\text{NF}}$	350	mV
( $U_e=15\text{ mV}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )			
Basisstrom Tr 6	$I_3$	<30	$\mu\text{A}$
( $U_e=15\text{ mV}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )			

## FM-Betrieb ( $f_Z=10,7\text{ MHz}$ ; $U_{\text{Batt}}=5\text{ V}$ )

Spannungsverstärkung	$V_u$	76	dB
Eingangsspannung für Begrenzungseinsatz <sup>1)</sup>	$U_e$	300	$\mu\text{V}$
NF-Ausgangsspannung	$U_{\text{NF}}$	200	mV

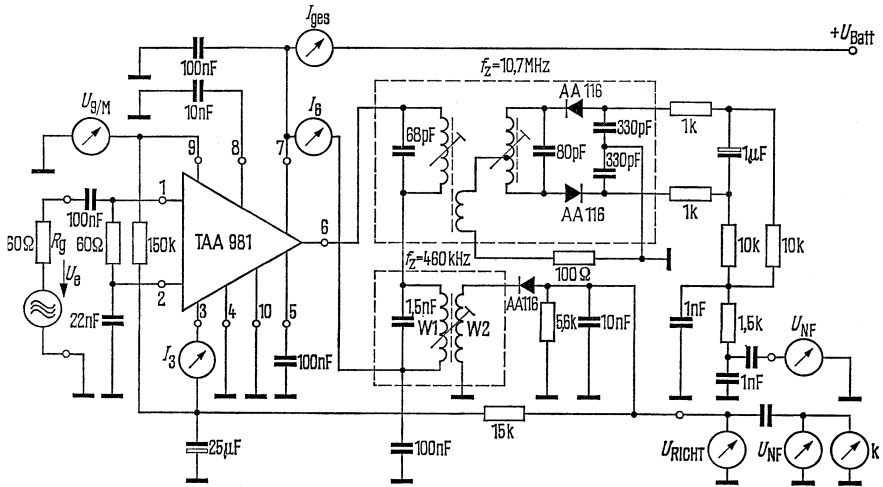
## FM-Betrieb ( $f_Z=10,7\text{ MHz}$ ; $U_{\text{Batt}}=9\text{ V}$ )

Spannungsverstärkung	$V_u$	86	dB
Eingangsspannung für Begrenzungseinsatz <sup>1)</sup>	$U_e$	200	$\mu\text{V}$
NF-Ausgangsspannung	$U_{\text{NF}}$	300	mV
AM-Unterdrückungsfaktor	$U_{\text{FM}}/U_{\text{AM}}$	50	dB

<sup>1)</sup> Die Eingangsspannung für Begrenzungseinsatz ist definiert als das Signal, das eine um 3 dB niedrigere NF-Ausgangsspannung hervorruft, als eine Signalspannung von  $U_e=100\text{ mV}$

# TAA 981

## Meßschaltung



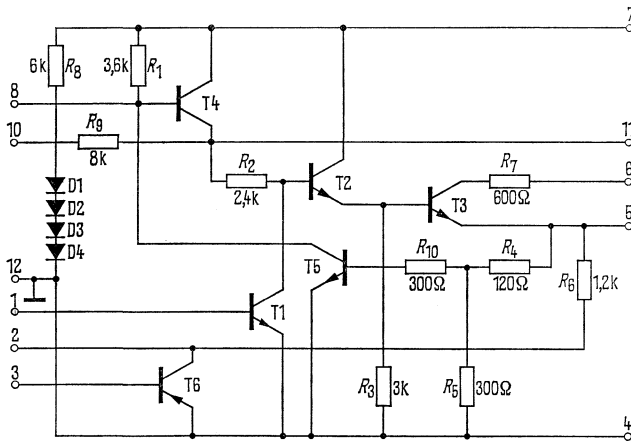
W<sub>1</sub> = 77 HF-Litze 12 × 0,04 CuI  
 W<sub>2</sub> = 55 HF-Litze 12 × 0,04 CuI

## AM/FM-ZF-Verstärker

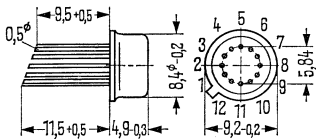
### Vorläufige Daten

Die integrierte Halbleiterschaltung TAA 991 ist ein kombinierter AM/FM-ZF-Verstärker für den Einsatz in Rundfunkempfängern. Gute Regeleigenschaften bei AM-Betrieb (460 KHz) und Begrenzungeigenschaften bei FM-Betrieb (10,7 MHz), sowie geringe Stromaufnahme und Betriebsspannungsabhängigkeit ermöglichen universellen Einsatz in batterie- und netzgespeicherten Empfängern. Am Anschluß 8 kann die Regelspannung für eine HF-Vorstufe abgenommen werden.

### Schaltbild



### Bauform



Gehäuse 5 J 12 DIN 41873  
(ähnlich TO-101)  
Gewicht etwa 1,2 g

### Grenzdaten

Betriebsspannung  
Umgebungstemperatur  
Lagertemperatur

$U_{\text{Batt}}$	11	V
$T_U$	-15 bis 80	°C
$T_S$	-30 bis 125	°C

# TAA 991, Q67000-A150

## Kenndaten ( $T_U=25\text{ °C}$ )

Funktionsbereich	$U_{\text{Batt}}$	4,5 bis 11	V
------------------	-------------------	------------	---

### AM-Betrieb ( $f_Z=460\text{ KHz}$ ; $U_{\text{Batt}}=5\text{ V}$ )

Gesamtstromaufnahme (ohne Signal)	$I_{\text{Batt}}$	3,6	mA
Kollektorstrom Tr 3 (ohne Signal)	$I_6$	2	mA
Stabilisierte Spannung	$U_9/M$	2,8 (2,6 bis 3,2)	V
Spannungsverstärkung	$V_u$	80	dB
Regelumfang	$\Delta V_u$	50	dB
Eingangsspannung für Regeleinsatz	$U_e$	50	$\mu\text{V}$
Richtspannung ( $U_e=50\text{ }\mu\text{V}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$-U_{\text{Richt}}$	200 (>100)	mV
NF-Ausgangsspannung ( $U_e=50\text{ }\mu\text{V}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$U_{\text{NF}}$	120	mV
Eingangsspannung für Übersteuerungsbeginn	$U_{\text{Ü}}$	15	mV

### AM-Betrieb ( $f_Z=460\text{ KHz}$ ; $U_{\text{Batt}}=9\text{ V}$ )

Gesamtstromaufnahme (ohne Signal)	$I_{\text{Batt}}$	6	mA
Kollektorstrom Tr 3 (ohne Signal)	$I_6$	2	mA
Stabilisierte Spannung	$U_9/M$	2,9 (2,6 bis 3,2)	V
Spannungsverstärkung	$V_u$	90	dB
Regelumfang	$\Delta V_u$	60	dB
Regeleinsatzspannung	$U_e$	15	$\mu\text{V}$
Richtspannung ( $U_e=15\text{ }\mu\text{V}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$-U_{\text{Richt}}$	200 (>100)	mV
NF-Ausgangsspannung ( $U_e=15\text{ }\mu\text{V}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$U_{\text{NF}}$	120	mV
Eingangsspannung für Übersteuerungsbeginn	$U_{\text{Ü}}$	25	mV
Klirrfaktor ( $U_e=15\text{ mV}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$k$	<10	%
NF-Ausgangsspannung ( $U_e=15\text{ mV}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$U_{\text{NF}}$	350	mV
Basisstrom Tr 6 ( $U_e=15\text{ mV}$ ; $f_{\text{mod}}=1\text{ KHz}$ ; $m=80\%$ )	$I_3$	<30	$\mu\text{A}$
Eingangsspannung für Einsatz der Vorstufenregelung	$U_e$	1	mV
Vorstufenregelspannung ( $U_e \leq 200\text{ }\mu\text{V}$ )	$U_{8M}$	>2,8	V
Vorstufenregelspannung ( $U_e \geq 3\text{ mV}$ )	$U_{8M}$	<0,5	V

### FM-Betrieb ( $f_Z=10,7\text{ MHz}$ ; $U_{\text{Batt}}=5\text{ V}$ )

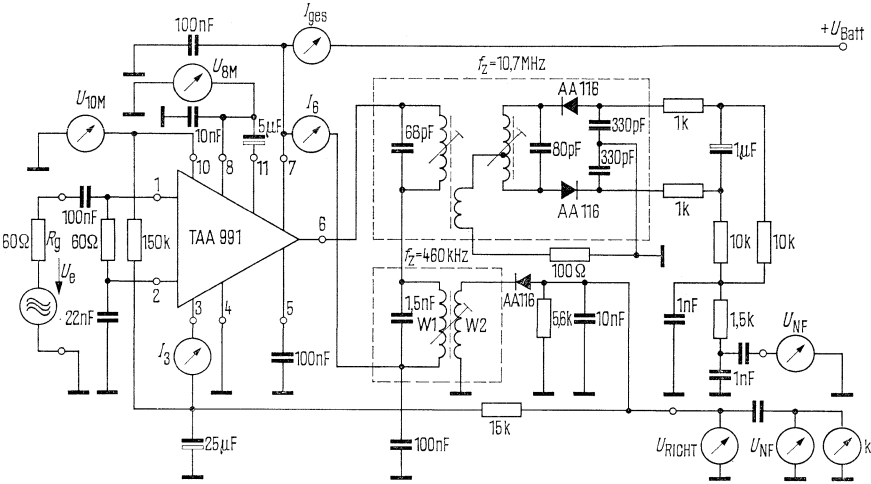
Spannungsverstärkung	$V_u$	76	dB
Eingangsspannung für Begrenzungseinsatz <sup>1)</sup>	$U_e$	300	$\mu\text{V}$
NF-Ausgangsspannung	$U_{\text{NF}}$	200	mV

### FM-Betrieb ( $f_Z=10,7\text{ MHz}$ ; $U_{\text{Batt}}=9\text{ V}$ )

Spannungsverstärkung	$V_u$	86	dB
Eingangsspannung für Begrenzungseinsatz <sup>1)</sup>	$U_e$	200	$\mu\text{V}$
NF-Ausgangsspannung	$U_{\text{NF}}$	300	mV
AM-Unterdrückungsfaktor	$U_{\text{FM}}/U_{\text{AM}}$	50	dB

<sup>1)</sup> Die Eingangsspannung für Begrenzungseinsatz ist definiert als das Signal, das eine um 3 dB niedrigere NF-Ausgangsspannung hervorruft, als eine Signalspannung von  $U_e=100\text{ mV}$

Meßschaltung



W1 = 77 HF-Litze 12×0,04 Cul  
W2 = 55 HF-Litze 12×0,04 Cul

# TBA 120, Q67000-A 151; TBA 120A, Q67000-A 175

## FM-ZF-Verstärker und Demodulator

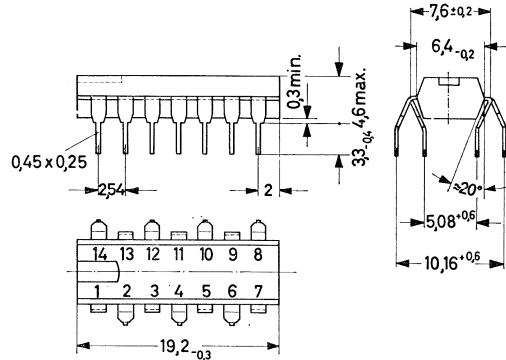
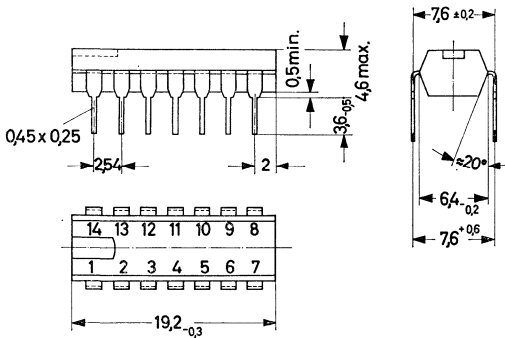
### Vorläufige Daten

TBA 120 und TBA 120A sind symmetrische, sechsstufige Verstärker mit symmetrischem Koinzidenzdemodulator zur Verstärkung, Begrenzung und Demodulation von frequenzmodulierten Signalen, z. B. Ton-ZF in FS-Geräten. Die Schaltungen sind auch als Begrenzerverstärker, als gesteuerte Demodulatoren bzw. Modulatoren oder Mischer mit guter Unterdrückung der Eingangsfrequenzen verwendbar.

- Hervorragende Begrenzungseigenschaften
- Sehr gute Frequenzkonstanz der Wandlerkennlinie
- Großer Betriebsspannungsbereich (4,5 bis 14 V)
- Kleiner äußerer Schaltungsaufwand (z. B. an Siebkondensatoren)

TBA 120  
Plastik-Steckgehäuse 14 Anschlüsse

TBA 120 A



### Grenzdaten

Betriebsspannung  
Umgebungstemperatur  
Lagertemperatur

$U_{\text{Batt}}$	14	V
$T_U$	-15 bis +60	°C
$T_S$	-20 bis +80	°C

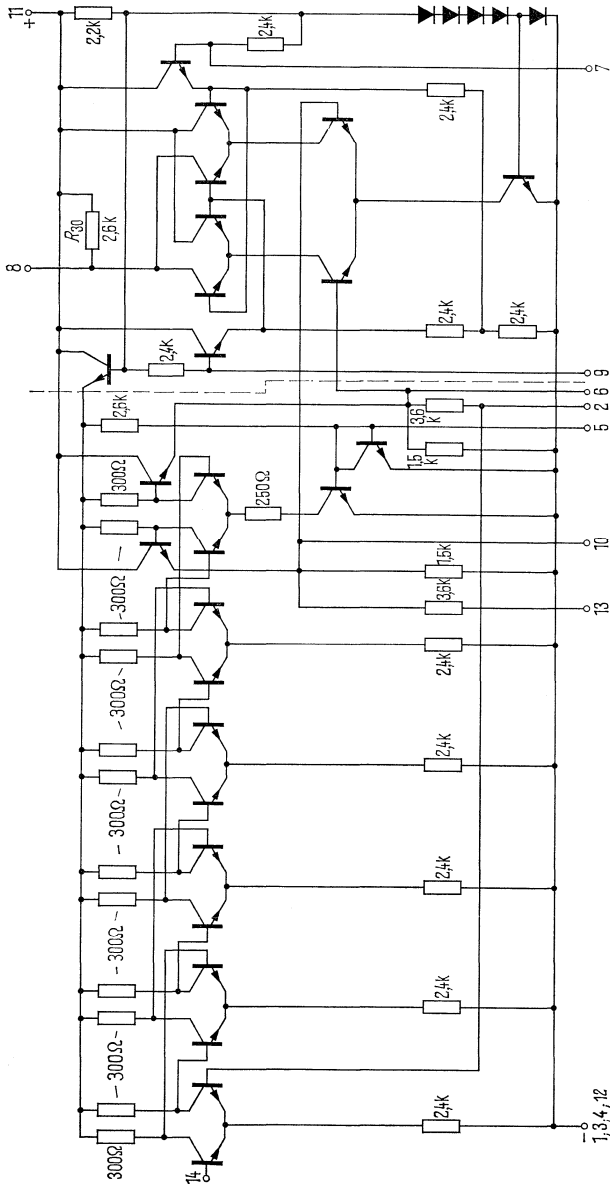
# TBA 120, TBA 120 A

Kenndaten ( $T_U=25\text{ }^\circ\text{C}$ )

Funktionsbereich	$U_{\text{Batt}}$	4,5 bis 14	V
<b>Betriebsspannung (<math>U_{\text{Batt}}=12\text{ V}</math>):</b>			
Gesamtstromaufnahme	$I_{\text{Batt}}$	17	mA
ZF-Spannungsverstärkung	$V_u$	60	dB
ZF-Ausgangsspannung je Ausgang bei Begrenzung	$U_{\text{ass}}$	240	mV
NF-Ausgangsspannung ( $f=5,5\text{ MHz}$ ; $U_e=10\text{ mV}$ ; $\Delta f=\pm 25\text{ kHz}$ ; $k=1\%$ ; $f_{\text{mod}}=1\text{ kHz}$ )	$U_{\text{NF eff}}$	600	mV
AM-Unterdrückung ( $f=5,5\text{ MHz}$ ; $U_e=10\text{ mV}$ ; $\Delta f=\pm 25\text{ kHz}$ ; $m=30\%$ ; $f_{\text{mod}}=1\text{ kHz}$ )	a	55	dB
NF-Ausgangsspannung ( $f=5,5\text{ MHz}$ ; $U_e=10\text{ mV}$ ; $\Delta f=\pm 50\text{ kHz}$ ; $f_{\text{mod}}=1\text{ kHz}$ ; $k=5\%$ )	$U_{\text{NF eff}}$	1200	mV
Eingangsspannung für Begrenzungseinsatz ( $f=5,5\text{ MHz}$ ; $\Delta f=\pm 25\text{ kHz}$ ; $f_{\text{mod}}=1\text{ kHz}$ )	$U_e$	70 (<200)	$\mu\text{V}$
NF-Innenwiderstand	$R_{i\text{ NF}}$	2,6	k $\Omega$
Regelhub der Lautstärkeregelung	$\frac{U_{\text{NF max}}}{U_{\text{NF min}}}$	60	dB

# TBA 120, TBA 120 A

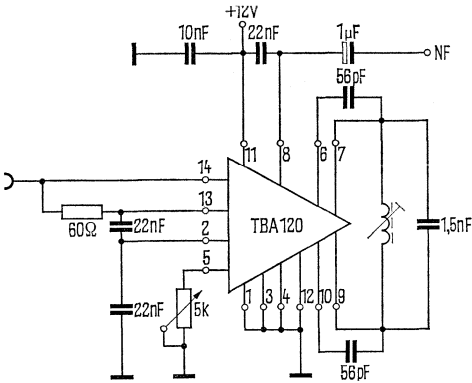
Schaltbild für TBA 120 und TBA 120 A:



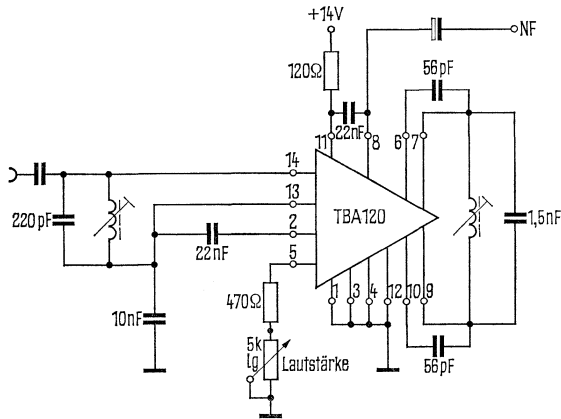


# TBA 120, TBA 120 A

## Meßschaltung



## Empfohlene Anwendungsschaltung (5,5 MHz)



Eine kapazitive Abblockung der Betriebsspannungszuführung am Anschluß 11 ist entbehrlich. Der Kondensator 22 nF zwischen Anschluß 8 und 11 bildet zusammen mit dem integrierten Widerstand R 30 die De-Emphasis und kann bei Bedarf verkleinert werden.

Der Höckerabstand der S-Kurve wird mit der Güte des Phasenschieberkreises eingestellt. Der Null-durchgang entspricht der Resonanzfrequenz. Die beiden gleichgroßen Koppelkondensatoren zwischen den Anschlüssen 6 und 7 bzw. 9 und 10 werden zweckmäßig so bemessen, daß je ca. 250 mV<sub>SS</sub> am Schwingkreis bei Resonanz stehen.

Die NF-Ausgangsspannung ist der Güte des Phasenschieberkreises und der Batteriespannung über etwa 4 V proportional:

$$U_{NF} \sim Q \cdot (U_{Batt} - 4 \text{ V}).$$

Der NF-Klirrfaktor ist etwa dem Quadrat der Güte proportional:

$$k \sim Q^2.$$

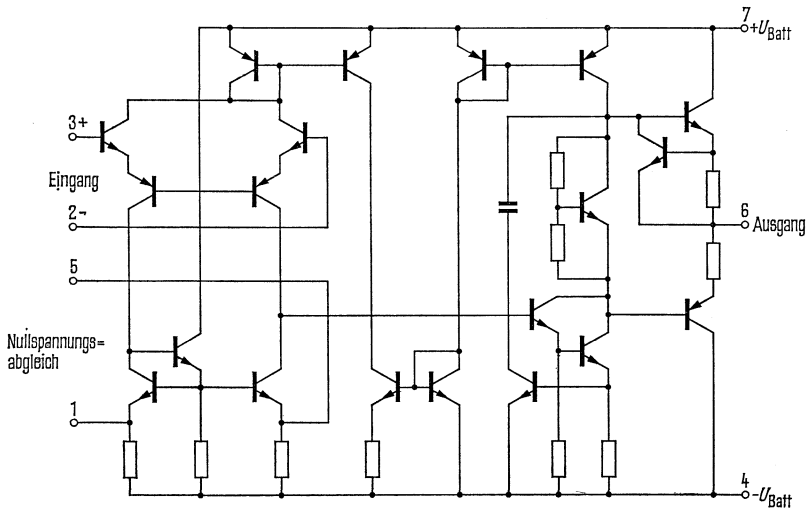
# TBA 221, Q67000-A 134; TBA 222, Q67000-A 97

## Operationsverstärker

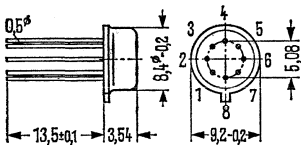
### Vorläufige Daten

TBA 221 und TBA 222 sind monolithisch integrierte Operationsverstärker im Gehäuse ähnlich 5 G 8 DIN 41873 (TO-79). Sie zeichnen sich aus durch großen Gleichtaktspannungsbereich sowie Dauerkurzschlußfestigkeit. Ferner bieten sie eine Abgleichmöglichkeit der Eingangs-Nullspannung. Die Anschlußbelegung entspricht dem TAA 521, doch werden keine externen Bauelemente zur Frequenzkompensation benötigt. Die interne Verstärkungsabsenkung von 6dB/Oktave ergibt größtmögliche Stabilität in rückgekoppelten Schaltungsanwendungen.

Schaltbild:



Bauform:



Gehäuse ähnlich 5 G 8 DIN 41873

(ähnlich TO-79)

Maße in mm

Gewicht etwa 1,1 g

# TBA 221, TBA 222

Grenzdaten		TBA 221		TBA 222		
Betriebsspannung	$U_{\text{Batt}}$	$\pm 18$		$\pm 22$		V
Eingangsspannung <sup>1)</sup>	$U_{\text{E}}$	$\pm 15$		$\pm 15$		V
Differenzeingangsspannung	$U_{\text{D}}$	$\pm 30$		$\pm 30$		V
Lagertemperatur	$T_{\text{S}}$	-65 bis +150		-65 bis +150		°C
Betriebstemperatur	$T_{\text{B}}$	0 bis 70		-55 bis +125		°C
Verlustleistung	$P_{\text{tot}}$	500		500		mW
Kurzschlußdauer <sup>2)</sup>	$t_z$	unendlich		unendlich		

## Bemerkungen

- 1) Für Betriebsspannungen kleiner als  $\pm 15$  V ist die maximale Eingangsspannung der Betriebsspannung gleich.
- 2) Kurzschluß kann gegen Masse oder Betriebsspannung  $U_{\text{Batt}}$  erfolgen.

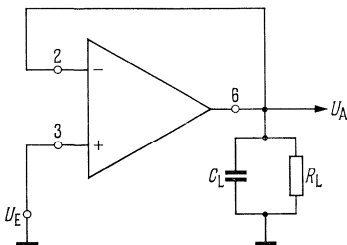
## Elektrische Kenndaten ( $U_{\text{Batt}} = \pm 15$ V, $T_{\text{U}} = 25$ °C wenn nicht anders angegeben).

Prüfbedingungen			TBA 221			TBA 222			Einheit
			min	typ	max	min	typ	max	
Eingangs-Nullspannung	$U_{\text{EOS}}$	$R_{\text{G}} \leq 10 \text{ k}\Omega$		2	6		1	5	mV
	$U_{\text{EOS}}$	$R_{\text{G}} \leq 10 \text{ k}\Omega$ , $T_{\text{U}} = 0$ bis 70 °C			7,5				mV
	$U_{\text{EOS}}$	$R_{\text{G}} \leq 10 \text{ k}\Omega$ , $T_{\text{U}} = 55$ bis 125 °C						6	mV
Eingangs-Nullstrom	$I_{\text{EOS}}$		30	200		30	200		nA
	$I_{\text{EOS}}$	$T_{\text{U}} = 0$ bis 70 °C		300					nA
	$I_{\text{EOS}}$	$T_{\text{U}} = 55$ bis 125 °C					500		nA
Eingangsstrom	$I_{\text{E}}$		200	500		200	500		nA
	$I_{\text{E}}$	$T_{\text{U}} = 0$ bis 70 °C		800					nA
	$I_{\text{E}}$	$T_{\text{U}} = 55$ bis 125 °C					1,5		$\mu\text{A}$
Eingangswiderstand	$R_{\text{E}}$		300	1000		300	1000		k $\Omega$
Ausgangsspannung	$U_{\text{ASS}}$	$R_{\text{L}} \geq 10 \text{ k}\Omega$	$\pm 12$	$\pm 14$	$\pm 12$	$\pm 14$			V
	$U_{\text{ASS}}$	$R_{\text{L}} \geq 2 \text{ k}\Omega$	$\pm 10$	$\pm 13$	$\pm 10$	$\pm 13$			V

# TBA 221, TBA 222

		Prüfbedingungen	TBA 221			TBA 222			Einheit
			min	typ	max	min	typ	max	
Eingangsspannungsbereich	$U_E$		$\pm 12$	$\pm 13$		$\pm 12$	$\pm 13$		V
Spannungsverstärkung	$V_U$	$U_{ASS} = \pm 10 \text{ V}$ $R_L \geq 2 \text{ k}\Omega$	86	100		94	106		dB
Spannungsverstärkung	$V_U$	$U_{ASS} = \pm 10 \text{ V}$ $R_L \geq 2 \text{ k}\Omega$ $T_U = 0 \text{ bis } 70 \text{ }^\circ\text{C}$	83,5						dB
Spannungsverstärkung	$V_U$	$U_{ASS} = \pm 10 \text{ V}$ $R_L \geq 2 \text{ k}\Omega$ $T_U = 55 \text{ bis } 125 \text{ }^\circ\text{C}$				88			dB
Gleichtaktunterdrückung	$G$	$R_G \leq 10 \text{ k}\Omega$	70	90		70	90		dB
Leerlaufleistungsverbrauch	$P_D$			50	85		50	85	mW
Einschwingverhalten der Ausgangsspannung bei $V_U=1$ :									
Anstiegszeit	$t_r$	$U_E = 20 \text{ mV}$ $R_L = 2 \text{ k}\Omega$ $C_L < 100 \text{ pF}$		0,3			0,3		$\mu\text{s}$
Überschwingen	$\ddot{U}$	$U_E = 20 \text{ mV}$ $R_L = 2 \text{ k}\Omega$ $C_L < 100 \text{ pF}$		5,0			5,0		%
Anstiegsflanke	$\frac{dU_{ASS}}{dt}$	$R_L \geq 2 \text{ k}\Omega$		0,5			0,5		$\text{V}/\mu\text{s}$

Testschaltung für Einschwingverhalten von  $U_{ASS}$ :





# Anschriften unserer Geschäftsstellen

ZN = Zweigniederlassung  
 TB = Technisches Büro  
 IB = Ingenieurbüro

Ort	Büro	Straße	Fernsprecher	Fernschreiber	
1000	Berlin 61	ZN	Schöneberger Str. 2-4	19 91	1 83766
2800	Bremen 1	ZN	Contrescarpe 72	36 41	2 45451
4500	Osnabrück	TB	Niedersachsenstr. 14	3 28 47	9 4827
2940	Wilhelmshaven	IB	Paul-Hug-Str. 8	2 61 87	2 53305
4450	Lingen	IB	Bernd-Rosemeyer-Straße 9	41 01	9 8870
4600	Dortmund 1	ZN	Märkische Str. 8-14	54 81	8 22312
4700	Hamm 1	TB	Caldenhofer Weg 31	27 81	8 28834
4400	Münster 1	TB	Hervarthstr. 6-8	49 31	8 92828
5770	Arnsberg	IB	Bahnhofstraße 89-93	20 66/59	8 42236
4000	Düsseldorf 1	ZN	Lahnweg 10	3 03 01	8 581301
5600	Wuppertal-Elberfeld	TB	Hofkamp 106-108	49 71	8 591 853
4050	Mönchengladbach	IB	Aachener Str. 232	3 11 61/62	8 52749
4300	Essen 1	ZN	Kruppstr. 16	2 01 31	8 57437
4100	Duisburg 1	TB	Düsseldorfer Str. 50	2 81 91	8 55843
6000	Frankfurt 1	ZN	Gutleutstr. 31	26 21	4 14131
6100	Darmstadt 1	TB	Bleichstr. 19	7 30 43	4 19 246
3500	Kassel 1	TB	Bürgermeister-Brunner-Str. 15	1 92 81	9 92359
6500	Mainz 1	TB	Flachmarktstr. 13-17	10 01	4 187 765
6330	Wetzlar 1	TB	Karl-Kellner-Ring 19-21	7 11	4 83845
2000	Hamburg 1	ZN	Lindenplatz 2	28 21	2 162 721
2300	Kiel 1	TB	Holstenbrücke 26/28	5 11 01	2 92814
2400	Lübeck	IB	Breite Str. 52/54	7 19 21	2 67 28
2390	Flensburg	IB	Neustadt 10	40 27	2 2745
3000	Hannover 1	ZN	Am Maschpark 1	19 91	9 22333
4800	Bielefeld 2	TB	Kavalleriestr. 26	5 71	9 32805
3300	Braunschweig 1	TB	Fallersleber Str. 6-8	47 51	9 52820
3380	Goslar 1	TB	Am Markt 5	7 91	9 53832
3321	Salzgitter-Watenstedt	IB	Hauptstr. 62	2 52 73	9 5460
5000	Köln 1	ZN	Friesenplatz 8-14	57 61	8 881005/6
5100	Aachen 1	TB	Kirbrunnenstr. 14-20	45 11	8 32866
5300	Bonn	TB	Friedrich-Ebert-Allee 130	20 91	8 86498
5400	Koblenz	TB	Frankenstr. 21	26 81	8 62831
5900	Siegen	TB	Sandstr. 42-48	5 30 95	8 72635
6800	Mannheim 1	ZN	N 7.18	29 61	4 62261
7800	Freiburg 1	TB	Habsburgerstr. 132	21 21	7 72842
7500	Karlsruhe 1	TB	Bahnhofstr. 5	13 71	7 82831
7750	Konstanz	IB	Moosbruggerstr. 18	53 81/2	7 33209
7600	Offenburg	IB	Heinrich-Hertz-Str. 2	50 61	7 752806
8000	München 80	ZN	Richard-Strauss-Str. 76	21 911	5 28421
8900	Augsburg 2	TB	Hübnerstr. 3	3 25 21	5 3821
8960	Kempten 2	IB	Salzstr. 27	2 80 71	5 4827
8500	Nürnberg 2	ZN	Richard-Wagner-Platz 1	2 01 61	6 22251
8750	Aschaffenburg	IB	Ludwigstr. 17	2 12 19	4 188839
8580	Bayreuth 2	TB	Weierstr. 25	70 71	6 42889
8630	Coburg	IB	Casimirstr. 6	79 1	4 63212
8670	Hof (Saale)	IB	Bahnhofsplatz 1 a	60 71	6 43865
8720	Schweinfurt	IB	Johann-Georg-Gademann-Str. 21	14 21	6 73207
8400	Regensburg 2	IB	Maximilianstr. 29	5 70 61	6 5807
8700	Würzburg 1	TB	Andreas-Grieser-Str. 30	5 08 50	6 8844
6600	Saarbrücken 3	ZN	Martin-Luther-Str. 25	20 81	4 421431
6750	Kaiserslautern 2	IB	Pariser Str. 23	60 7031	4 5832
5500	Trier	IB	Deutscherrenstr. 38-44	4 80 11	4 7815
7000	Stuttgart 1	ZN	Geschw.-Scholl-Str. 24	2 07 61	7 23941
7100	Heilbronn 1	IB	Schauuffelenstr. 15	8 67 46	7 28714
7980	Ravensburg 1	IB	Gartenstr. 16	48 11	7 32915
7410	Reutlingen-Pfullingen	IB	Daimlerstr. 23	8 92 41	7 29723
7900	Ulm 1	TB	Frauenstr. 11	6 12 41	7 12826



  
**SIEMENS**